

# 低噪声、低纹波头皮脑电信号采集的前端电路

李皓,王宇涵,薛楷洸,袁燚,李效龙  
江苏科技大学电子信息学院,江苏 镇江 212000

**【摘要】**基于SMIC 0.18  $\mu\text{m}$  CMOS工艺设计了一种由前置放大器、纹波抑制电路、增益可编程放大器和外置低通滤波器组成的低噪声头皮脑电信号采集前端电路。其中前置放大器采用斩波技术来降低低频噪声和失调电压,其结构为电容耦合的斩波稳定放大器,其有源放大部分由折叠式共源共栅级和共源级构成的两级全差分放大器构成,以获得较高的开环增益;同时在前置放大器后引入了阻容耦合电路来抑制在斩波频率处产生的纹波。可编程增益放大器采用可调电容阵列构成的电容负反馈放大器以实现增益逐级可调。Spectre后仿真结果表明,前置放大器的增益为40 dB,共模抑制比可达131 dB,电源抑制比90 dB,输入等效噪声 $772\text{ nV}/\sqrt{\text{Hz}}@100\text{ Hz}$ ;可编程增益放大器的增益分别为12、20、25 dB;低通滤波器的截止频率为1 kHz;纹波抑制电路对在斩波频率处的纹波具有400倍的抑制效果。该前端电路的总增益为40~65 dB,通频带为1 Hz~1 kHz。

**【关键词】**脑电信号采集;前置放大器;斩波技术;纹波抑制电路;增益可编程放大器

**【中图分类号】**R318;TN492      **【文献标志码】**A      **【文章编号】**1005-202X(2021)01-0086-07

## A low noise and low ripple front-end circuit for collecting scalp EEG signals

LI Hao, WANG Yuhan, XUE Kailong, YUAN Yi, LI Xiaolong  
Department of Electronics and Information, Jiangsu University of Science and Technology, Zhenjiang 212003, China

**Abstract:** Based on the SMIC 0.18  $\mu\text{m}$  CMOS process, a front-end circuit for low noise scalp EEG acquisition, which composes preamplifier, ripple rejection circuit, programmable-gain amplifier (PGA) and low-pass filter, is proposed. The preamplifier employs the chopper technology to reduce the low-frequency noise and offset voltage. It is a capacitive-coupled chopper-stabilized amplifier, and its active amplification is a two-stage amplifier consisting of a differential folded-cascode stage and a differential common source stage in order to achieve a higher open-loop gain. At the output of the preamplifier, a parallel resistor-capacitor circuit is introduced to suppress the ripple at the chopping frequency. The PGA is a capacitive negative-feedback amplifier combined with an adjustable array, aiming to realize that the gain can be adjusted step by step. The results of Spectre post-simulation show that the preamplifier can achieve a voltage gain of 40 dB, a common mode rejection ratio (CMRR) of 131 dB, a power supply rejection ratio (PSRR) of 90 dB, and an equivalent input noise of  $772\text{ nV}/\sqrt{\text{Hz}}@100\text{ Hz}$ . The gain of the PGA can be set as 10 dB, 20 dB, 25 dB, respectively. The cut-off frequency of the low-pass filter is 1 kHz. The ripple at the chopping frequency can be suppressed 400-fold. As a result, the total gain of the front-end circuit is variable from 40 dB to 65 dB, and the passband is 1 Hz-1 kHz.

**Keywords:** scalp EEG acquisition; preamplifier; chopping technology; ripple rejection circuit; programmable-gain amplifier

### 前言

头皮脑电信号具有幅度小、频率低、易受环境噪声干扰等特点。为了获取信噪比高的脑电信号,要

**【收稿日期】**2020-07-12  
**【基金项目】**国家自然科学基金(61671221)  
**【作者简介】**李皓,硕士,研究方向:集成电路设计,E-mail: 819015737@qq.com  
**【通信作者】**李效龙,硕士,副教授,研究方向:集成电路与系统、生物医疗电子电路与系统,E-mail: lixiaolong@just.edu.cn

求模拟前端电路须具有超低噪声的特点。在脑电信号采集过程中,噪声源主要是器件本身的噪声,尤其是闪烁噪声(1/f噪声),该噪声幅度大且与模拟前端电路的工作频段重合。为了最大程度降低1/f噪声的影响,模拟前端电路一般采用斩波稳定放大器以消除1/f噪声干扰,同时抑制直流失调电压。目前常见的几种斩波稳定放大器主要有套筒式和折叠式。斩波稳定放大器的有源放大部分大多采用两级运算放大器、套筒式共源共栅放大器以及折叠共源共栅运算放大器等结构。其中折叠式共源共栅运算放大器

具有增益带宽大、低频增益高、摆幅大、速度高、频率特性好等诸多优点。由于不同头皮处所采集的脑电信号幅度不同,要求模拟前端电路的增益须可调<sup>[1-2]</sup>。

1 电路结构

所设计的头皮脑电信号采集前端电路主要由带有斩波调制器的前置放大器、增益可编程放大器以及外置低通滤波器组成。电路的整体架构如图1所示。

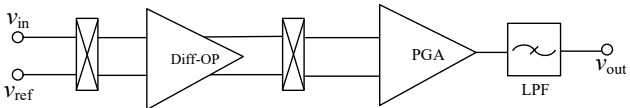


图1 整体电路架构  
Fig.1 Overall architecture of circuit

1.1 前置放大器

1.1.1 前置放大器电路结构 对于极其微弱的头皮脑电信号,要求前置放大器具有较高的增益、较高的共模抑制比和低噪声。为了抑制共模信号,前置放大器通常采用全差分结构,如全差分电容耦合电路(图2)。在理想的条件下,其双端输入信号通道完全对称,双端输出信号中的共模分量完全抵消。虽然该电路结构的增益和噪声性能基本能满足指标要求,但是由于器件的闪烁噪声(1/f噪声)与头皮脑电信号频率重叠,低频噪声得不到有效抑制,导致信噪比较低,因此需要在此基础上进一步提高对噪声的抑制能力<sup>[3]</sup>。

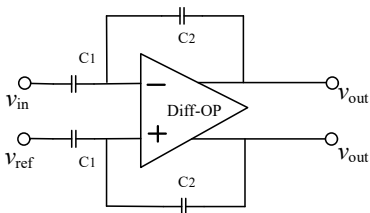


图2 全差分电容耦合电路  
Fig.2 Fully differential capacitive-coupled circuit

1.1.2 斩波调制前置放大器 本设计在全差分电容耦合放大器中引入斩波调制技术来实现对低频噪声和失调电压的抑制。斩波调制技术的过程是调制-信号无失真放大-解调。其信号调理过程是首先将低频脑电信号通过第一个调制器搬移到斩波频谱(高于器件闪烁噪声的转角频率)上,然后将搬移的有用信号、低频噪声和失调电压同时放大,再将所放大的信号通过第二个调制器(其调制频率与第一个调制器相同)。此时低频脑电信号被解调回原来的频带内,

而低频噪声和失调电压被搬移到较高的斩波频谱上。最后引入一个低通滤波器,将低频脑电信号单独隔离出来<sup>[4]</sup>。

斩波调制技术的具体过程如图3所示。输入低频脑电信号  $V_{in}$  首先与第一个调制器( $f_{CLK}$ )混频,  $V_{in}$  被调制到  $f_{CLK}$  的奇次谐波上,实现了低频脑电信号的频谱搬移。其输出信号  $V_a$  与放大器输入端低频噪声及失调电压  $V_n$  叠加得到信号  $V_b$ ;  $V_b$  经放大器放大,再经第二个调制器( $f_{CLK}$ )混频得到输出信号  $V_o$ 。注意到  $V_{in}$  经过两次混频,实现了调制和解调;而噪声及失调电压只经过一次混频,被调制到  $f_{CLK}$  上,成为只携有斩波频率奇数倍谐波频率的分量。此时输出信号须经过后端的一个带宽略大于输入信号截止频率的低通滤波器就可获得放大后的输入信号。为保证解调回基带的低频脑电信号不会发生混叠,斩波频率  $f_{CLK}$  必须满足以下关系式<sup>[5]</sup>:

$$f_{CLK} \geq k \cdot BW + f_c \tag{1}$$

式中,  $f_{CLK}$  为斩波频率,系数  $k \geq 2$ ,  $BW$  为信号带宽,  $f_c$  为噪声转角频率。

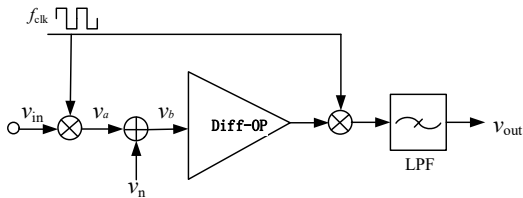


图3 斩波调制信号流程图  
Fig.3 Flow chart of chopper modulation signal

上述调制器电路可以用4个MOS管组成的开关电路来实现(图4)。它是由相位互补的两个时钟信号(CLK、CLK-)来控制MOS管的输出以实现信号的调制或频谱搬移。

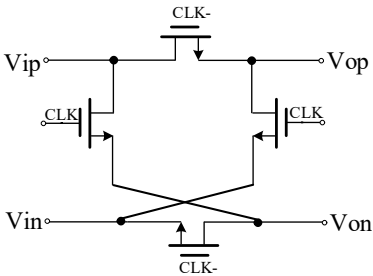


图4 调制器电路  
Fig.4 Modulator circuit

1.1.3 前置放大器有源放大部分电路 前置放大器有源放大部分由折叠式共源共栅级和共源级构成两级全差分放大器(图5)。折叠式共源共栅级放大器的

优点是输入摆幅和输出摆幅高,同时开环增益较高。头皮脑电信号前置放大器的设计指标要求开环增益要大于 90 dB,因此需要采用两级放大器。图 5 中前置放大器的输入端采用 PMOS 管以提高输入信号摆

幅; $M_1$ 、 $M_2$ 、 $M_7$ 和 $M_8$ 构成折叠式差分电路, $M_9$ 和 $M_{10}$ 管为折叠式共源共栅的偏置电流阱; $M_3$ 、 $M_4$ 、 $M_5$ 和 $M_6$ 构成套筒式有源负载; $M_0$ 是 $M_1$ 和 $M_2$ 的偏置电流源<sup>[6-7]</sup>。

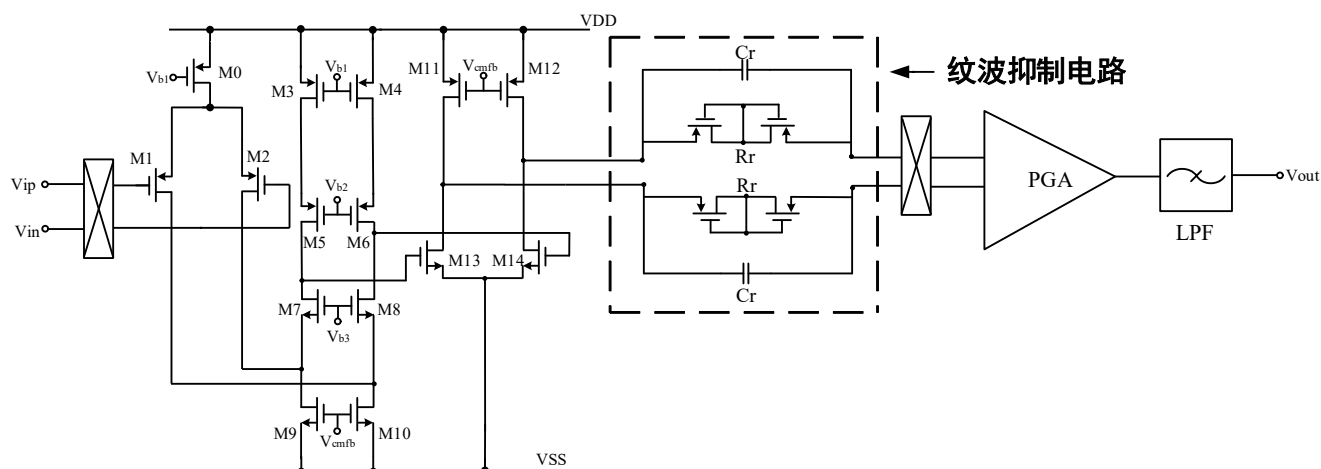


图5 前置放大器的输出抑制纹波电路

Fig.5 Ripple suppression circuit of the preamplifier

前置放大器有源放大部分第一级的增益表达式为:

$$A_{v1} = g_{m1} \times R_{out1} \quad (2)$$

其中, $g_{m1}$ 是输入差分管 $M_1$ 、 $M_2$ 的等效跨导。 $R_{out1}=g_{m8} \cdot r_{om10} \cdot r_{om8} \cdot g_{m6} \cdot r_{om4} \cdot r_{om6}$ ,其中 $g_{m6}$ 、 $g_{m8}$ 分别是 $M_6$ 和 $M_8$ 的跨导。 $r_{om10}$ 、 $r_{om8}$ 、 $r_{om4}$ 、 $r_{om6}$ 分别是 $M_{10}$ 、 $M_8$ 、 $M_4$ 、 $M_6$ 交流小信号的输出电阻。

第二级是共源放大器, $M_{11}$ 和 $M_{12}$ 作为输入管, $M_{14}$ 作为有源负载。第二级共源级输出也可以提供适当的增益。

$$A_{v2} = g_{m2} \times R_{out2} \quad (3)$$

其中, $g_{m2}$ 是输入差分管 $M_{13}$ 的等效跨导。 $R_{out2}=r_{om11} // r_{om13}$ , $r_{om11}$ 、 $r_{om13}$ 分别是 $M_{11}$ 、 $M_{13}$ 交流小信号的输出电阻。所以前置放大器的总增益为:

$$A_v = A_{v1} \cdot A_{v2} = g_{m1} g_{m2} g_{m6} g_{m8} \left( \frac{r_{om4} r_{om6} r_{om8} r_{om10} r_{om11} r_{om13}}{r_{om11} + r_{om13}} \right) \quad (4)$$

由于前置放大器采用了全差分“电容耦合”结构,所以其闭环增益为:

$$A_v = \frac{C_1}{C_2} \quad (5)$$

与传统的两级运放相比,这种电路结构的优势是其第一级就能提供很高的增益。因而其共模抑制比CMRR和抑制噪声性能都有所提高<sup>[8-9]</sup>。

**1.1.4 前置放大器的输出纹波抑制电路** 当电路中引入斩波技术后,虽然噪声特性和失调电压得到明显

改善。但由于前置放大器本身的失调电压和1/f噪声被调制到斩波频率处后会输出纹波信号到前置放大器的输出端。输出纹波信号会带来严重的信号失真。其输出纹波可表示为:

$$V_{\text{ripple, PP}} = 2V_{\text{off}} \left[ \frac{\left( \frac{4}{\pi} \right) \omega_0 A_0}{\omega_{\text{CLK}}} \cdot \frac{1}{(1 + \omega_{\text{CLK}}^2 / \omega_p^2)^{\frac{1}{2}}} \right] \quad (6)$$

其中, $V_{\text{off}}$ 为输出失调电压, $\omega_0$ 是前置放大器的闭环带宽, $A_0$ 是前置放大器的闭环增益, $\omega_p^2$ 是后一级放大器的带宽, $\omega_p^2 = \omega_{\text{CLK}} = 5\omega_0$ 。

为了抑制纹波信号,设计了纹波抑制电路(图5)。设计思路为:该输出纹波抑制电路是在前置放大器输出端接入并联阻容耦合电路。考虑到版图面积,电阻一般通过MOS伪电阻来实现,MOS伪电阻由两个二极管接法的MOS管串联而成。如果电阻大于前置放大器的输出阻抗,则该阻容耦合电路在低频下会成为前置放大器的开路。在斩波频率下,如果电容器的阻抗(在斩波频率处)小于前置放大器的输出阻抗,则阻容耦合电路的作用为短路。因此在斩波频率下,输出的纹波信号将无法通过并联阻容耦合电路,达到了抑制纹波信号的目的<sup>[10-12]</sup>。此时的纹波幅度为:

$$V_{\text{ripple, PP}} = \frac{2v_{\text{off}}}{G_{m1} R_r} \left[ \frac{\left( \frac{4}{\pi} \right) \omega_0 A_0}{\omega_{\text{CLK}}} \cdot \frac{1}{(1 + \omega_{\text{CLK}}^2 / \omega_p^2)^{\frac{1}{2}}} \right] \quad (7)$$

其中,  $G_{m1}$  是前置放大器的输出阻抗,  $R_f$  是伪电阻的阻值。对于生物信号放大器来说  $G_{m1} \approx 10 \mu\text{A/V}$ ,  $R_f \approx 1 \text{ G}\Omega$ 。

**1.1.5 前置放大器的等效噪声** 前置放大器输入端的等效输入参考噪声为:

$$\overline{v_{n.in}^2} = 4kT \frac{2}{3g_m} + \frac{K_f}{WLC_{ox}} \cdot \frac{1}{f} \tag{8}$$

式(8)中等式右边第一项为由于沟道电阻产生的热噪声在输入端的表现,第二项为MOS管的闪烁噪声。

图5中共源共栅MOS管( $M_5$ 、 $M_6$ 、 $M_7$ 、 $M_8$ )的噪声可以忽略不计;而第二级电路的噪声要除以第一级的增益才反映在输入端,比较小可以忽略;另外,电流源 $M_0$ 的噪声也可以忽略。所以整个电路在输入端的等效参考噪声可以表示为<sup>[12]</sup>:

$$\begin{aligned} \overline{v_{n.in}^2} = & 4kT \left[ 2 \cdot \frac{2}{3g_{m1}} + 2 \cdot \frac{2g_{m3}}{3g_{m1}^2} + 2 \cdot \frac{2(g_m + g_m)}{3g_{m1}^2} \right] \\ & + 2 \cdot \frac{K_f}{(WL)_1 C_{ox}} \cdot \frac{1}{f_{CLK}} + 2 \cdot \frac{K_f}{(WL)_3 C_{ox}} \cdot \frac{1}{f_{CLK}} \cdot \frac{g_{m3}^2}{g_{m1}^2} \tag{9} \\ & + 2 \cdot \frac{K_f}{(WL)_9 C_{ox}} \cdot \frac{1}{f_{CLK}} \cdot \frac{g_m^2}{g_{m1}^2} + \\ & 2 \cdot \frac{K_f}{(WL)_9 C_{ox}} \cdot \frac{1}{f_{CLK}} \cdot \frac{g_{m9}^2}{g_{m1}^2} \end{aligned}$$

式(8)中  $K_f$  表示与工艺相关的系数,  $W$ 、 $L$  分别表示MOS管的宽度和长度,  $f_{CLK}$  为斩波处频率。由1.1.2中分析可知前置放大器的噪声只在输出端被调制了一次,因此其信号频谱会被搬移到斩波频率奇数倍谐波分量上。由式(9)可得要想减小电路在输入端的等效参考噪声,可以提高频率值,即加大斩波频率。但是受限于  $f_c \ll f_{CLK}$  这一条件,所以在此电路中将斩波频率设为  $10 \text{ kHz}$ <sup>[13]</sup>。

1.2 增益可编程放大器和低通滤波器

记录部位、环境以及电极的变化都会导致头皮脑电信号的幅度出现大范围的变化,因此需要可变增益放大器对前置电路的总增益进行调节以避免输出信号发生饱和现象。本设计中的可编程增益放大器如图6所示,放大部分采用电容耦合结构,其中反馈电容由开关( $S_1 \sim S_4$ )控制的电容器构成,实现对闭环增益的调节<sup>[14-16]</sup>。

为了滤除头皮脑电信号中的高频成分,在增益可编程放大器后面应接入一个外置低通滤波器(图7)。这里采用了二阶无源RC滤波器<sup>[17-20]</sup>。

2 版图设计及电路后仿真结果

表1、表2列出了图5~图7中管子的尺寸和器件参数。所设计头皮脑电信号采集前端电路版图如图

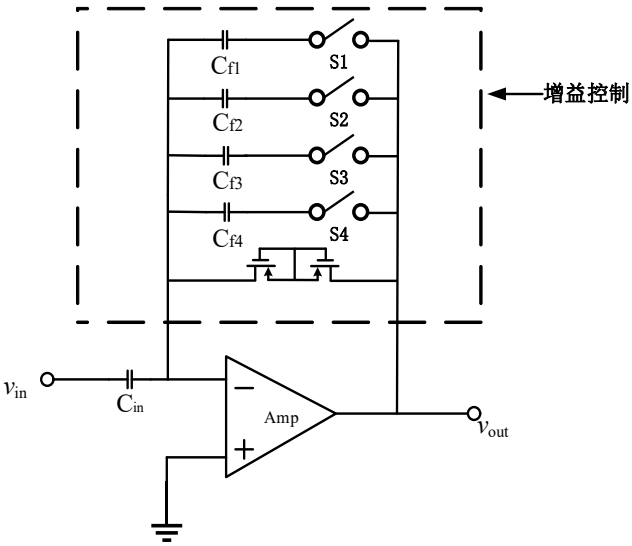


图6 增益可编程放大器  
Fig.6 Programmable-gain amplifier

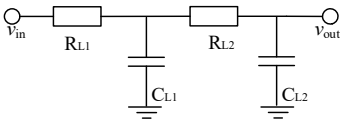


图7 低通滤波器  
Fig.7 Low-pass filter

表1 前端电路中MOS管尺寸  
Tab.1 MOS tube size in front-end circuit

MOS管	W(栅长)/ $\mu\text{m}$	L(栅宽)/ $\mu\text{m}$	MOS管	W(栅长)/ $\mu\text{m}$	L(栅宽)/ $\mu\text{m}$
$M_0$	30	3	$M_8$	5	1
$M_1$	20	2	$M_9$	15	0.6
$M_2$	20	2	$M_{10}$	15	0.6
$M_3$	5	1	$M_{11}$	15	3
$M_4$	5	1	$M_{12}$	15	3
$M_5$	5	1	$M_{13}$	10	0.6
$M_6$	5	1	$M_{14}$	10	0.6
$M_7$	5	1			

8所示,版图面积为  $395 \mu\text{m} \times 120 \mu\text{m}$ 。图9为前置放大器增益的后仿真结果,前置放大器带内增益为  $40 \text{ dB}$ 。图10、图11分别给出了前置放大器的CMRR和PSRR的仿真结果,分别为  $131$ 、 $90 \text{ dB}$ 。图12为增益可编程放大器的增益,在  $40 \sim 65 \text{ dB}$  可调。

在Spectre仿真中,将前置放大器的输出失调电压设为  $1 \text{ mV}$ ,使用该失调电压进行瞬态仿真。如图13、图14所示,未加纹波抑制电路的输出纹波为  $354 \text{ mVpp}$ ,具有纹波抑制电路的输出纹波为  $88 \mu\text{Vpp}$ ,纹波被抑制了400倍。可见该纹波抑制电路对减小前置放大器的输



表2 器件参数  
Tab.2 Device parameters

电容值	电阻值
$C_r=1\text{ pF}$	$R_r=3.5\text{ G}\Omega$
$C_m=2.5\text{ pF}$	$R_{L1}=1.6\text{ k}\Omega$
$C_{\beta}=2.5\text{ pF}$	$R_{L2}=16\text{ k}\Omega$
$C_{\beta}=800\text{ fF}$	
$C_{\beta}=250\text{ fF}$	
$C_{\beta}=140\text{ fF}$	
$C_{L1}=0.1\text{ }\mu\text{F}$	
$C_{L2}=0.01\text{ }\mu\text{F}$	

出纹波有着显著效果。图15为头皮脑电信号采集前端电路的输入等效噪声,在0.5~100 Hz频带内的输入等效噪声为772 nV/sqrt(Hz)<sup>@100 Hz</sup>。

3 结 论

本文提出一种适合采集头皮脑电信号的模拟前端电路,由前置放大器、增益可编程放大器和低通滤波器组成。最后仿真结果表明,在5 V工作电压下,采用SMIC 0.18  $\mu\text{m}$  CMOS工艺模型利用Cadence公司的Spectre仿真工具对电路进行仿真,实现增益在40~65 dB可调,电源抑制比90 dB、共模抑制比131 dB、输入等效噪声772 nV/sqrt(Hz)<sup>@100 Hz</sup>。纹

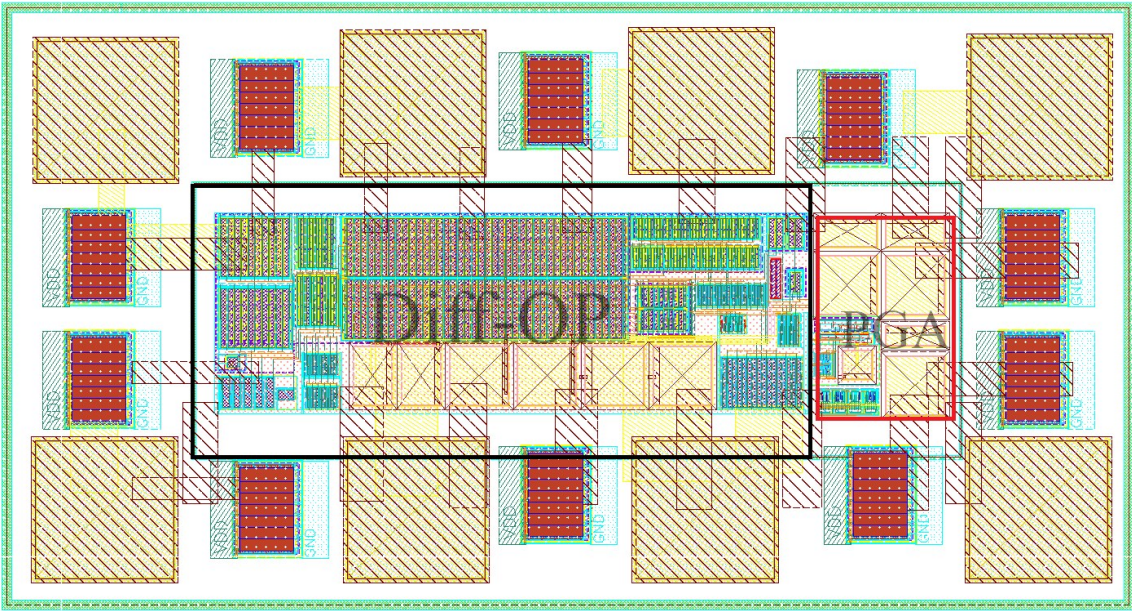


图8 前端电路版图  
Fig.8 Front-end circuit layout

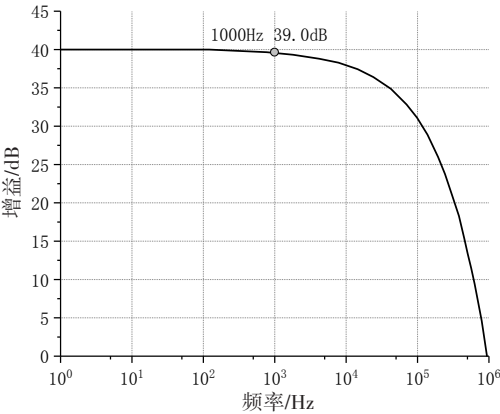


图9 前置放大器增益  
Fig.9 The gain of Preamp

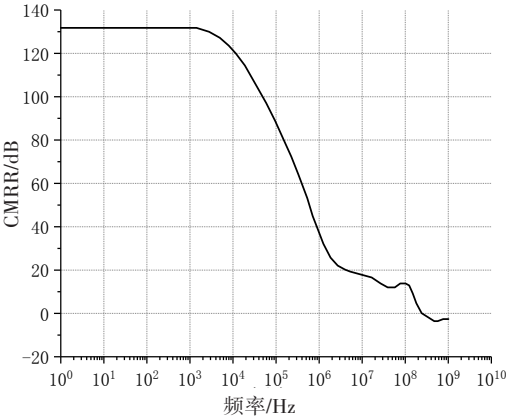


图10 共模抑制比  
Fig.10 Common mode rejection ratio

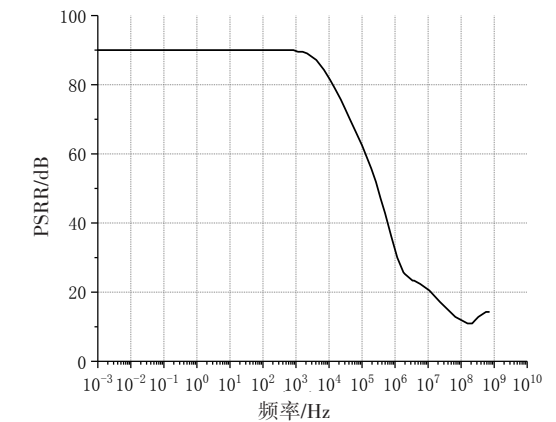


图 11 电源抑制比  
Fig.11 Power supply rejection ratio

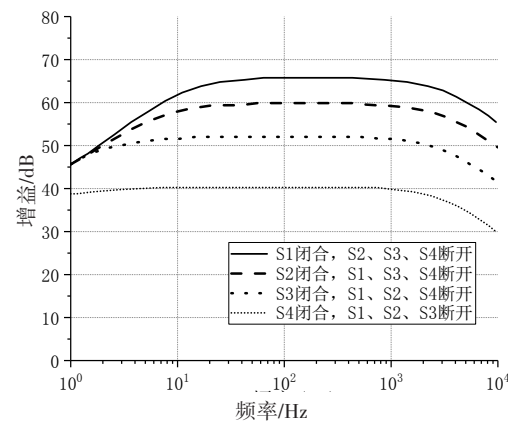


图 12 前端电路可调增益  
Fig.12 Adjustable gain of front-end circuit

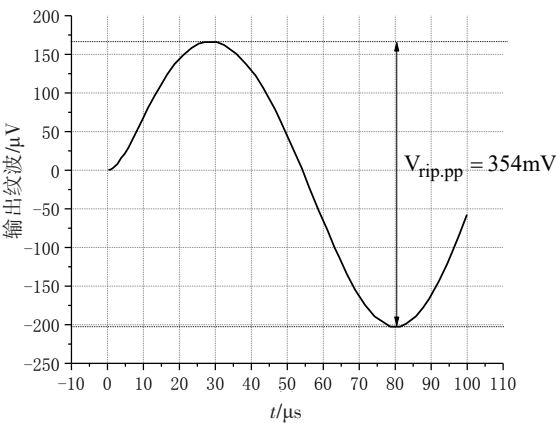


图 13 未加纹波抑制电路的输出纹波  
Fig.13 Output ripple without ripple suppression circuit

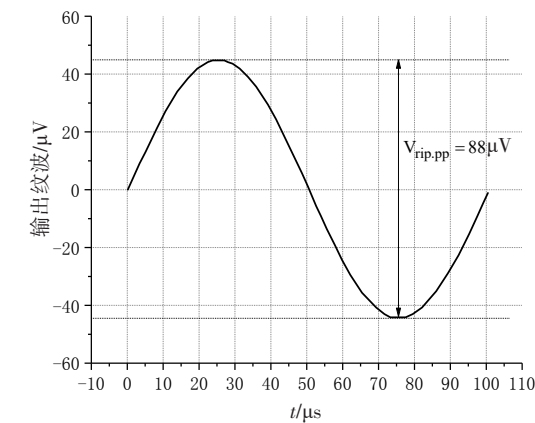


图 14 纹波抑制电路的输出纹波  
Fig.14 Output ripple with ripple suppression circuit

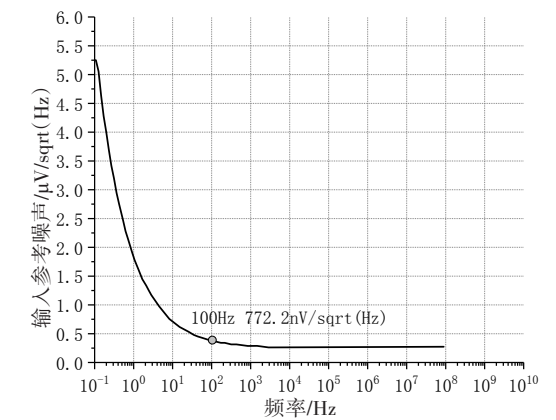


图 15 输入等效噪声  
Fig.15 Equivalent input noise

波抑制电路对在斩波频率处的纹波具有 400 倍的抑制效果。该前端电路满足设计指标。

【参考文献】

[1] MOHAMMAD T, JENS K M, FARSHAD M. Low-power high-input-impedance EEG signal acquisition SoC with fully integrated IA and signal-specific ADC for wearable applications [J]. IEEE

Trans Biomed Circuits Syst, 2019, 13(6): 1437-1450.  
[2] SONG S, ROOIJAKKERS M, HARPE P, et al. A low-voltage chopper-stabilized amplifier for fetal ECG monitoring with a 1.41 power efficiency factor [J]. IEEE Trans Biomed Circuits Syst, 2015, 9(2): 234-247.  
[3] CHANDRAKUMAR H, MARKOVIC D. 5.5 A 2 μW 40 mVpp linear-input-range chopper-stabilized bio-signal amplifier with boosted input impedance of 300 MΩ and electrode-offset filtering [C] // IEEE International Solid-State Circuits Conference. San Francisco, 2016: 93-97.  
[4] 廖远, 张梦新, 刘文涵, 等. 低功耗便携式多导联心电信号采集系统设计[J]. 传感器与微系统, 2017, 38(5): 93-96.  
LIAO Y, ZHANG M X, LIU W H, et al. Design of low-power portable multilead ECG signal acquisition system[J]. Sensors and Microsystems, 2017, 38(5): 93-96.  
[5] OLIVIER V, MIKAEL D, GABRIELLE C R, et al. Validation and benchmarkin of a wearable EEG acquisition platform for real-world applications[J]. IEEE Trans Biomed Circuits Syst, 2019, 13 (1): 103-111.  
[6] WANG Z Y, CHEN C, LI W, et al. A multichannel EEG acquisition system with novel Ag NWs/PDMS flexible dry electrodes [C]// 2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology. Honolulu, 2018: 18226967.  
[7] CHANDRAKUMAR H, MARKOVIC D. A simple area-efficient ripple-rejection tecique for chopped biosignal amplifiers[J]. IEEE Trans Circuits Syst II Express Briefs, 2015, 62(2): 189-193.

- [8] XING X, PEI W H, WANG Y J, et al. Design of high-density electrodes for EEG acquisition [C]//2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology. Honolulu, 2018: 1826461.
- [9] WU C M, CHEN H C, YAN M Y, et al. Chopper-stabilized instrumentation amplifier with automatic frequency tuning loop [J]. Micromachines, 2018, 9(6): 1-13.
- [10] 魏榕山, 朱睿. 低功耗斩波-稳定放大器[J]. 中国集成电路, 2017, 6(7): 30-34.
- WEI R S, ZHU R. low power chopper-stabilized amplifier [J]. China Integrated Circuit, 2017, 6(7): 30-34.
- [11] MOHAMMADPOUR A, NABAVI A. Design and analysis of a low-noise saw-less receiver front-end resistant to strong out-of-band blocker[J]. Analog Integr Circ S, 2017, 93(2): 217-235.
- [12] HASAN M N, LEE K S. A wide linear output range biopotential amplifier for physiological measurement frontend [J]. IEEE Trans Instrum Meas, 2015, 64(1): 120-131.
- [13] CHENG C H, CHENG Z X, WU C Y. A 16-channel CMOS chopperstabilized analog front-end acquisition circuits for ECoG detection [C]//IEEE International Symposium on Circuits and Systems. 2017: 1-4.
- [14] ZHANG H, LI Y. A 470 nA performance-enhanced instrumental amplifier for biosignal acquisition [C]//IEEE Biomedical Circuits and Systems Conference. 2016: 288-291.
- [15] HUANG F, LIN K, GAO F, et al. A 1.2 V 7.2  $\mu$ W ECG AFE with continuous time self-calibration filters [C]//IEEE 11th International Conference on ASIC. 2015: 1-4.
- [16] 奉靖皓. 超低功耗传感器接口中前置放大器的研究与设计[D]. 上海: 复旦大学, 2013: 37-38.
- FENG J H. Research and design of preamplifier in ultra-low power sensor interface[D]. Shanghai: Fudan University, 2013: 37-38.
- [17] 曾茜遒. 用于生物电感知系统的模拟前端电路的设计[D]. 武汉: 华中科技大学, 2013.
- ZENG Q L. Design of analog front-end circuit for bioelectric sensing system[D]. Wuhan: Huazhong University of Science and Technology, 2013.
- [18] MALOBERTI F. Switched-Capacitor building blocks for analogue signal processing[J]. Electron Lett, 1983(7): 263.
- [19] 陈朝阳, 胡小波. 一种采用增益增强方法的CMOS全差分运算放大器[J]. 微电子学, 2005, 35(1): 81-84.
- CHEN Z Y, HU X B. A CMOS fully differential operational amplifier with gain enhancement method [J]. Microelectronics, 2005, 35(1): 81-84.
- [20] 李严, 张元亭. 低功耗低频率低噪声医用模拟IC设计进展[J]. 微电子学, 2010, 40(1): 80-86.
- LI Y, ZHANG Y T. The design progress of low-power, low-frequency, and low-noise medical analog IC [J]. Microelectronics, 2010, 40(1): 80-86.

(编辑:陈丽霞)