

DOI:10.3969/j.issn.1005-202X.2020.01.019

医学信号处理与医学仪器

# 低场磁共振锁场谱仪的射频脉冲发生器研制

董诗洁<sup>1</sup>, 陈珊珊<sup>2</sup>, 何培忠<sup>2</sup>

1. 上海理工大学医疗器械与食品学院, 上海 200093; 2. 上海健康医学院医学影像学院, 上海 201318

**【摘要】**基于现场可编程阵列(FPGA)和数字频率合成(DDS)芯片设计一个磁共振锁场谱仪的射频脉冲发生器。通过软硬件结合的方法研制一个灵活可变的射频脉冲信号发生器,输出脉冲脉宽可调,输出脉冲时间调制精度可控制在 $\mu\text{s}$ 级别,载波频率可达300 MHz,输出射频脉冲频率相位可调。通过仿真和实验测试,证明基于FPGA与DDS的射频脉冲发生器,可以有效激励低场磁共振锁场样品产生锁磁共振信号。

**【关键词】**磁共振成像;现场可编程阵列;数字频率合成;射频脉冲

**【中图分类号】**R318.6

**【文献标志码】**A

**【文章编号】**1005-202X(2020)01-0098-09

## Design of a radio-frequency pulse generator of low-field magnetic resonance field-lock spectrometer

DONG Shijie<sup>1</sup>, CHEN Shanshan<sup>2</sup>, HE Peizhong<sup>2</sup>

1. School of Medical Instrument and Food Engineering, University of Shanghai for Science and Technology, Shanghai 200093, China;

2. College of Medical Imaging, Shanghai University of Medicine & Health Sciences, Shanghai 201318, China

**Abstract:** A radio-frequency (RF) pulse generator is designed based on field programmable gate array (FPGA) and direct digital synthesizer (DDS). A flexible and variable RF pulse signal generator is developed by combining software and hardware, with adjustable output pulse width, the modulation precision of output pulse time controlled in the  $\mu\text{s}$  level and carrier frequency up to 300 MHz. Moreover, the phase of the output RF pulse frequency can be adjusted. Both simulation and experimental tests prove that the RF pulse generator based on FPGA and DDS can effectively stimulate the low-field magnetic resonance field-lock samples to generate locked magnetic resonance signals.

**Keywords:** magnetic resonance imaging; field programmable gate array; direct digital synthesis; radio-frequency pulse

### 前言

低场永磁磁共振分析仪在硬件上主要由4个部分组成,分别为计算机系统、谱仪系统、射频系统和磁体系统<sup>[1]</sup>。其中磁体系统为分析仪提供一个均匀、稳定的磁场环境,其造价占仪器总造价的一半以上,其性能指标至关重要<sup>[2]</sup>。永磁体的磁场稳定性容易受周围环境温度、铁磁性物质以及电源等因素影响,磁场在长期的时间会随着时间和温度发生漂移,稳定性不佳。磁场不稳定性的存在会影响到磁共振信号的检测,从而阻碍分析仪对短弛豫、微含量样品的检测。因此,为了提高磁场长期稳定性,在分析仪中

除了给磁体加高精度恒温控制装置以最大程度减小温度对磁场稳定性的影响之外,还需要研制专门的锁场系统<sup>[3]</sup>,结合低场永磁磁共振分析仪器的实际情况,采用磁场与频率相互制约的场频联锁系统以消减磁场随时间的长期漂移,可选取一个元素(如氟、钠等)的原子核作为锁场样品,通过锁场谱仪和锁场射频系统周期性检测锁场样品的磁共振信号的频率变化,再通过拉莫尔公式换算成磁场的变化,一旦检测到磁场发生波动,会启动补偿系统,控制补偿线圈的电流,进行磁场的反向矫正,使得磁场回到锁定值,从而保证磁场的长期稳定。

对于锁场系统来说,稳定、可控高分辨率的射频脉冲信号发生器用于激励锁样品产生核磁共振信号,其性能的好坏直接决定锁场的成败<sup>[4]</sup>。本文将基于现场可编程阵列(FPGA)和数字频率合成(DDS)技术研制锁场射频脉冲发生器<sup>[5]</sup>。

本实验选取的是当代流行的频率合成技术<sup>[6]</sup>,即为DDS技术,DDS利用奈奎斯特采样定律,通过信号

**【收稿日期】**2019-07-12

**【基金项目】**国家重大科学仪器设备开发专项(2013YQ170463)

**【作者简介】**董诗洁,硕士,研究方向:医学成像及图像处理技术,E-mail: 13524407545@163.com

**【通信作者】**何培忠,博士,教授,主要从事医学影像设备相关应用技术的开发和研究,E-mail: hepz@sumhs.edu.cn

的相位幅度关系,把数字信号转换成模拟信号并通过低通滤波输出的波形具有频率、幅度、相位精准易受控制等特点。基于直接数字频率合成法的集成器件输出频率最高可达 3 GHz,完全满足磁共振共振频率的条件。

对于锁场系统而言,激发锁场样品产生磁共振信号为硬脉冲。本课题将采用FPGA与DDS结合的方法,通过FPGA直接驱动DDS的方式对射频脉冲的各项参数进行数字化的调制,通过硬件搭建来实现硬脉冲的产生。对于硬脉冲,需要一定频率正弦波和一定时间的单脉冲,然后用单脉冲来控制一定频率的正弦波输出时间。这里我们将用FPGA与DDS结合的方法输出正弦波,再用FPGA一个引脚和按键来灵活控制单脉冲的输出,大概流程如图1所示。

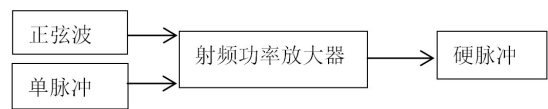


图1 硬脉冲设计流程  
Fig.1 Hard pulse design process

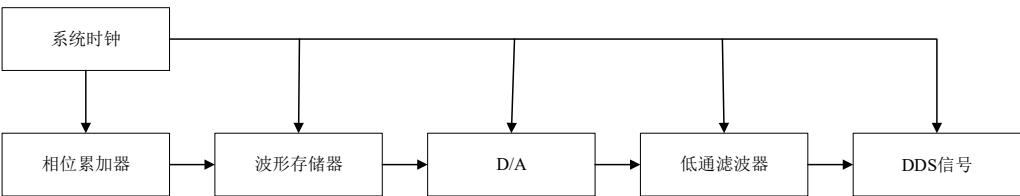


图2 DDS结构图  
Fig.2 Structure diagram of direct digital synthesis

## 2 AD9854

### 2.1 AD9854 主要功能

AD9854 是一款高性能的集成 DDS 芯片<sup>[12]</sup>。AD9854 内部结构包括时钟倍频器、48 位频率累加器、12 位正交数模转换器、I/O 口缓冲器、比较器、反 sinc 函数滤波器、数字幅度调制乘法器、正弦波转换表等。内置两个高速、高性能的正交 DAC(I 和 Q 通道),根据输出信号频率来对相位进行周期采样,然后合成频率、相位、幅度可调制的双通道正交正弦波,支持两路正交输出。AD9854 时钟频率可达 300 MHz,系统时钟可以通过 4~20 倍可编程时钟电路,由较低的外部基准时钟加倍得到。最高输出频率可达到 150 MHz,工作电压是 3.3 V,内部含有反 sinc 滤波器,可滤除输出信号频率以外的信号,对提高磁共振信号质量具有重要作用。

AD9854 支持 5 种模式,这里用的是 AD9854 的

## 1 DDS 原理

DDS 技术<sup>[7-10]</sup>实际上是利用正弦波的相位与幅度转换的原理,由正弦波的波形结构可知每个相位值对应一个幅度值。假设一个正弦波公式为: $A(t)=B\sin(\omega ft+\phi)$ ,我们取正弦波  $0\sim 2\pi$  之间的值,将  $0\sim 2\pi$  平均分为  $2^n$  份,那么每等份都会对应正弦波一个幅度值。这里  $B$  和  $\theta$  的值是不变的,则输出信号的频率由相位变化的速率决定。假设相位每次在时钟来临时的相位累加量为  $C$ ,在相位经过相位累加值相加后,将会对应着不同的正弦波幅度值。假设系统时钟为  $f_{\text{clk}}$ ,输出信号频率为  $f_{\text{out}}$ ,这里我们不难得出  $f_{\text{out}}=f_{\text{clk}}*C/2^n$ 。由此可见输出频率是由相位累加量  $C$  决定。DDS 结构如图 2 所示。其中频率控制字相当于上述的相位累加量  $C$ ,相位累加器就是用来存储频率控制字和初始相位的值,相位累加器的相位初始值会随着频率控制字线性累加,每累加一次输出到波形存储器中,波形存储器存储着每个相位值对应的幅度值,这些幅度值再由 D/A 转换器转化为模拟量经过滤波器处理可得到平滑的频率可控制正弦波形<sup>[11]</sup>。

单频模式,在这种模式下,用户根据需要可对 48 位频率、12 位幅度以及 14 位的相位信号进行编程。AD9854 具有串行和并行两种控制方式,实际使用过程中需要对芯片进行高速复杂的控制,这里我们采用的是并行控制方式。图 3 为 AD9854 芯片的各个引脚。

主要运用 AD9854 以下引脚:(1)AD9854 中 D7 到 D0(1 到 8 引脚),为八位双向并行编程数据输入端,用于并行编程模式和传输数据;(2)A5 到 A0(19 引脚),在并行模式下位寄存器的六位地址输入端;(3)MASTER RESET(71 引脚),初始化 I/O 总线为用户编程做准备,时钟上升沿时串并总线被激活;(4)WRB/SCLK(22 引脚),写并行数据到 I/O 端口的缓冲器;(5)I/O UD CLK(20 引脚),双向 I/O 刷新时钟,方向选择在寄存器中设置,高电平时不会产生时钟上升沿,数据不会读入寄存器。





输出满幅电流的大小,它是I与Q通道输出满幅电流的公共端。输出电流公式为: $R=\frac{39.95}{I_{OUT}}$ ,其中R一般为2~8 kΩ,则IOUT为5~20 mA。这里我们设置IOUT为10 mA,则R=4 kΩ。由于输出电流过小,需要对信号进行放大处理,这里我们采用的是AD8009AR放大器分别对I通道和Q通道电流进行放大处理。AD8009是一个超高速的电流反馈放大器,具有超高速度、信号带宽、高输出驱动等优点,具体表现为带宽可高达440 MHz,可提供10 dbm的输出功率(70 MHz),无杂散动态范(SFDR)仅为-38 dBc,压摆可高达5 500 V/μs,上升时间仅仅为545 ps等,可作为此实验的脉冲放大器。

在本实验中,图6为I通道输出电路图,此处放大电路系数为2,输出电压的范围为-2.5~+2.5 V。经过放大电路放大两倍后,输出电压范围为-5~+5 V。图7是Q通道输出电路图,也是采取AD8009进行信号放大处理。

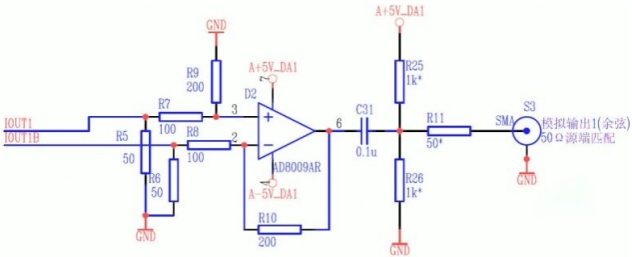


图6 I通道电流放大器电路设计  
Fig.6 Circuit design of channel I current amplifier

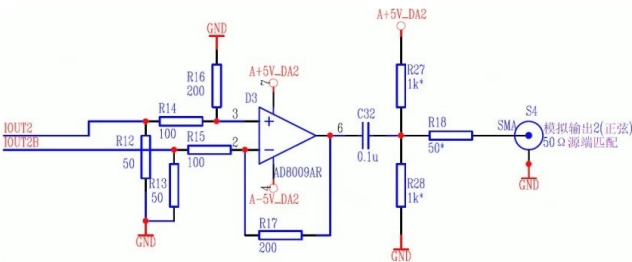


图7 Q通道电流放大器电路设计  
Fig.7 Circuit design of channel Q current amplifier

2.4 外围电路电源设计

为了使AD9854能够稳定工作,我们需给其供电,需要提供±12 V和±5 V电压。本设计采用的是AC-DC开关电源为AD9854提供工作电压,本电源设计将采用3款电压转换芯片,使用两片78LM05芯片将+12 V转为+5 V和两片79M05芯片将-12 V转为-5 V,其中一片78LM05芯片和79M05芯片组合给I通道的

AD8009运算放大器供电,另一个78ML05芯片和79M05芯片组合将给Q通道的AD8009运算放大器供电。由于AD9854芯片需要电源供电,由AD9854芯片手册可知标志为AVDD引脚(31, 32, 37, 38, 44, 50, 54, 60, 65引脚)需要连接模拟电压,电压值为3.3 V,我们使用LM317T芯片将+5 V转化为3.3 V,将给AD9854供电。图8为各个电压转换芯片。

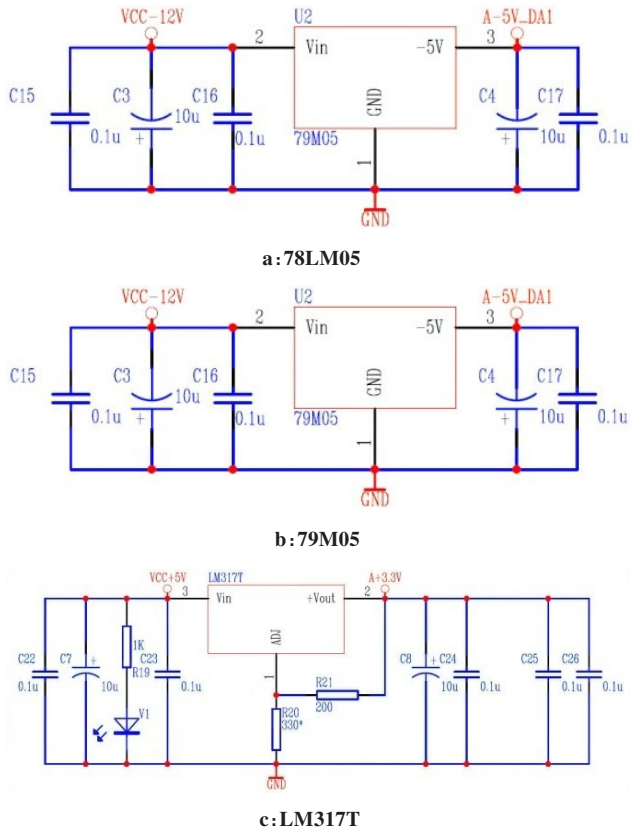


图8 AD9854外围电路电压  
Fig.8 Peripheral voltages of AD9854

3 FPGA 模块设计

FPGA 现在应用越来越广泛,不仅高性能、集成度高、时序约束精确而且具有用户可重复定义的逻辑功能即可重复编程,这些优点使它在医疗器械领域得到广泛应用<sup>[13]</sup>。本课题用到的是DE2-115开发板,内部含有Atera Cyclone IV115F29器件、114 480个逻辑单元、432 M9K内存模块、3888Kbits嵌入式存储器位、4个锁相环,时钟输入包括3个50 MHz晶振,连接器包括40个针扩展口、4个按钮开关等。满足实验要求。根据AD9854芯片介绍,我们选用FPGA作为主控制器,来实现其正弦波输出功能。

3.1 信号的产生和控制

系统采用的是Atera公司的Cyclone IV115F29器件,计算机使用的软件为quartus II10.0,编程语言为

verilog<sup>[14-15]</sup>。它的PIN\_Y2引脚产生的50 MHz时钟,可作为AD9854的输入时钟,再经过内部的时钟乘法器可倍增得到200 MHz的系统时钟。Cyclone IV115F29器件中的40个引脚扩展口(CPIO)中选取PIN\_AD21、PIN\_AC21、PIN\_AC19、PIN\_AD15、PIN\_AF24、PIN\_AD19端口作为AD9854的A0~A5相连传输数据信息。选取PIN\_AE22、PIN\_AF25、PIN\_AG25、PIN\_AF22、PIN\_AG22、PIN\_AH25、PIN\_AE20、PIN\_AH22端口作为AD9854芯片相连传输寄存器数据信息。选取PIN\_AB22连接AD9854中的I/O UD CLK端口。选取PIN\_AD21连接AD9854芯片中的WR/SCLK端口。选取PIN\_AH23连接AD9854芯片中的MASTER RESET端口。具体配置结果如图9所示。



图9 FPGA与AD9854连线图

Fig.9 Connection diagram of FPGA and AD9854

根据AD9854配置信息得到FPGA内部输出主要有:6位地址信号、8位数据信号、1位写信号、1位更新信号。在这里我们主要用到的AD9854寄存器为:(1)地址为1DH寄存器:决定是否关闭高速比较器和是否I和Q双通道输出;(2)地址为1EH寄存器:用来设置外部晶振时钟频率倍数;(3)地址为1FH寄存器:用来决定AD9854的设置模式,本设计选择是单信号模式;(4)地址为20H寄存器:决定是否关闭sinc函数滤波器,这里选择关闭以减少损耗;(5)地址为04H~09H寄存器:为频率控制字寄存器,通过改变里面的频率控制字来改变输出波形频率。

针对地址为04H~09H寄存器而言,由于AD9854频率控制字寄存器为48位,FPGA数据为8位,通过计数器分6次输入到04H~09H寄存器中,输出频率信号频率 $f_{out}$ 和基准频率 $f_{clk}$ 如下所示:

$$f_{out} = \frac{f_{word}}{2^{48}} f_{clk} \quad (1)$$

其中, $f_{word}$ 为写入频率控制字寄存器的48位值。

### 3.2 软件编程与仿真

使用SignalTap II进行仿真和采样<sup>[16]</sup>。FPGA中

嵌入SignalTap II逻辑分析仪,逻辑分析仪模块对待测节点数据进行捕获,这里是FPGA的6位地址数据和8位寄存器幅值数据,数据通过JTAG接口下载的电连接缆连接到要调试的FPGA器件中,从FPGA传送到Quartus II软件中进行显示。这样我们就知道每个地址对应的数据,SignalTap II对FPGA的引脚和内部链接信号进行捕捉后,将数据存储到一定的RAM模块中。

在本设计中我们取输出频率为21.3 MHz,通过公式计算其频率控制字,将频率控制字分为48位,通过计数器分为6次送入地址为04H~09H的8位频率控制字寄存器中。然后初始化地址为1DH~20H的特殊功能寄存器。在quartus II软件内编程无误后,我们使用JTAG将sof文件固化到FPGA芯片外部的EPCS64存储器中,固化的FPGA设计工程完成后,通过烧录文件后,可以观察如图10所示的仿真图。

(1)这里wrb代表WRB引脚,a(0)~a(5)端口连接地址寄存器,d(0)~d(7)端口连接代表数据寄存器,io\_ud连接I/O UD CLK引脚,mst\_rst连接MASTER RESET引脚。(2)根据仿真图可知,首先mst\_rst保持低电平,目的是初始化串/并总线,为用户的编程做准备。每当wrb下降时,FPGA向DDS板的地址寄存器和数据寄存器输入数据。io\_ud在数据传入寄存器时一直为低电平,保证数据传入寄存器。

综上所述,通过仿真图10可知,FPGA已经完成了对AD9854的关于输出指定频率正弦波的驱动配置,接下来就要将电脑、FPGA板、DDS板和示波器连接起来观察指定频率的正弦波输出。图11就是FPGA驱动AD9854产生的正弦波,频率设为21.3 MHz,由图11可知,示波器显示实际正弦波频率为21.32 MHz,基本和频率设置的值一致。

## 4 单脉冲

### 4.1 单脉冲模块设计

硬脉冲实际是一定时间宽度的正弦波,这里我们要设计一个脉冲时间宽度可编程的信号发生器,此可编程的单脉冲发生器设计流程如图12所示。

此单脉冲系统模块分为:1延迟模块、2计数模块、3单脉冲产生模块。(1)延迟模块,由于硬脉冲的时间设计为30  $\mu$ s,精度已经达到 $\mu$ s,而按键在闭合和断开瞬间会发生抖动,从而影响单脉冲计时,本模块起了按键消抖作用,主要由复位键rst、延迟计数器cnt以及延迟计数标志信号load组成。这里由于用到的是FPGA的Cyclone IV115F29器件,选择按钮开关信号名KEY[0]作为复位键rst,值得注意的是根据

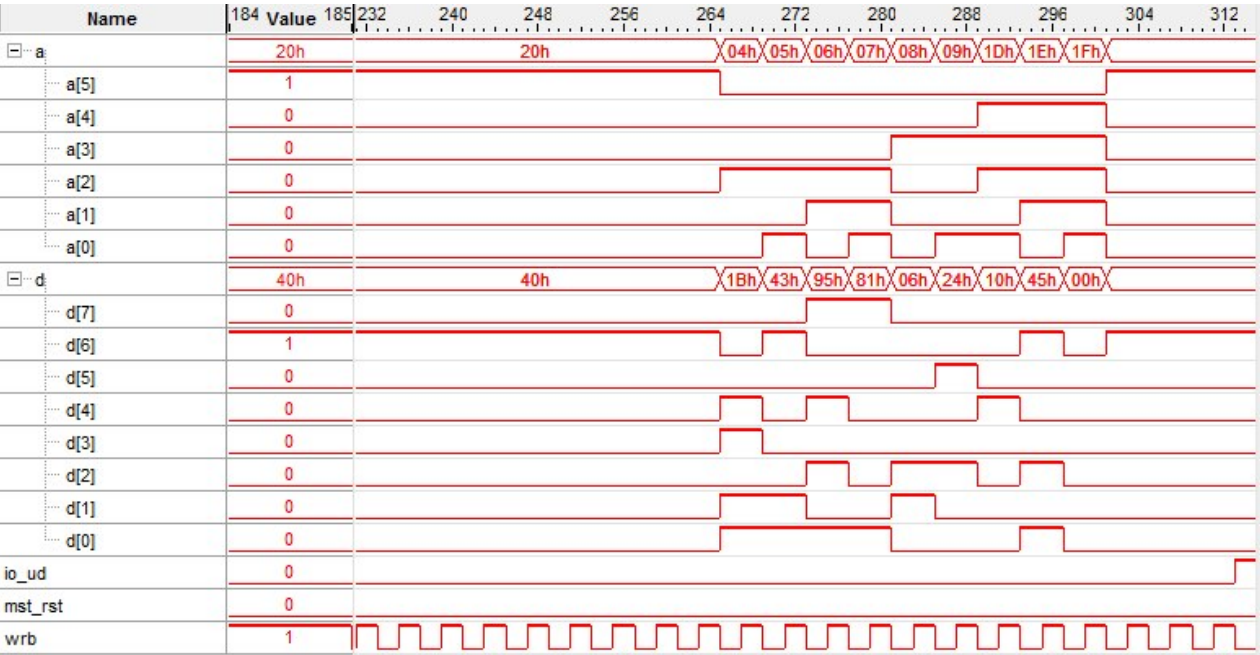


图 10 signaltap 仿真图

Fig.10 Simulation diagram of signaltap

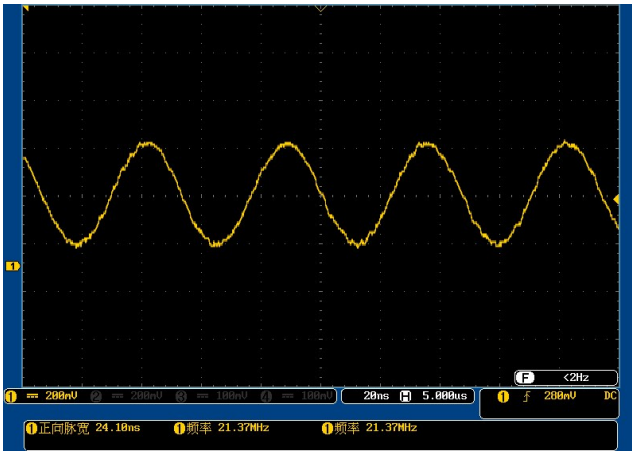


图 11 DDS 正弦波

Fig.11 Direct digital synthesis sine wave

115F29 说明书介绍按键没按之前一直保持高电平，和一般复位不同的是此处复位是由高到低，而且使用按键控制，更加灵活控制。(2)计数模块采用的是当rst有效时即为高电平时，计数器count赋初值，复位按键按下后，给count也赋予初值。这里FPGA的Cyclone IV115F29 器件说明书设置输入脉冲为50 MHz，要想产生30 μs的单脉冲，这里设置count值为1 500。这里还需计数启动按键即为计数按键，选择按键信号名KEY[1]作为计数按键，将计数按键命名为start，每当脉冲上升沿来临时，count开始进行减一，直到count为0时结束。(3)单脉冲实际是一个一定脉宽的高低电平脉冲信号，这里定义输出单脉冲信号为pulse\_out。当rst有效时，pulse\_out=0，当rst

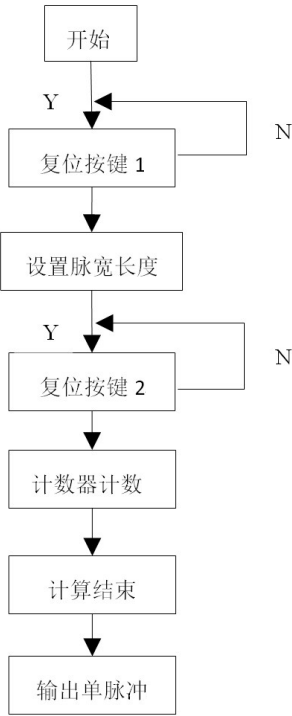


图 12 单脉冲流程图

Fig.12 Monopulse flowchart

无效且计算信号start有效时,pulse\_out=1。当计数器计到0时,pulse\_out=0。输出引脚只需FPGA板的一个I/O端口即可，这里用FPGA器件的pin\_AG26引脚作为单脉冲输出端口。

4.2 单脉冲仿真与实现

这里我们选用modelsim 软件<sup>[17]</sup>进行仿真，modelsim相对于signaltap 仿真而言，能够准确清晰看



出单脉冲的脉冲宽度,为了保证与实际产生信号保持一致,仿真时也定义时钟信号与FPGA一样,同为50 MHz,具体仿真图如图13和图14所示。根据图13和图14可知,下降沿的时间减去上升沿时间正好等

于 $30\ 130-130=30\ 000\ (\text{ns})$ ,即为 $30\ \mu\text{s}$ 。将其单脉冲输出在FPGA引脚pin\_AG26来观察实际单脉冲实际输出(图15),输出单脉冲确实为 $30\ \mu\text{s}$ ,而且精确到 $30.00\ \mu\text{s}$ ,已经完全满足硬脉冲对于单脉冲的需要。



图13 单脉冲上升沿仿真  
Fig.13 Simulation of monopulse rising edge

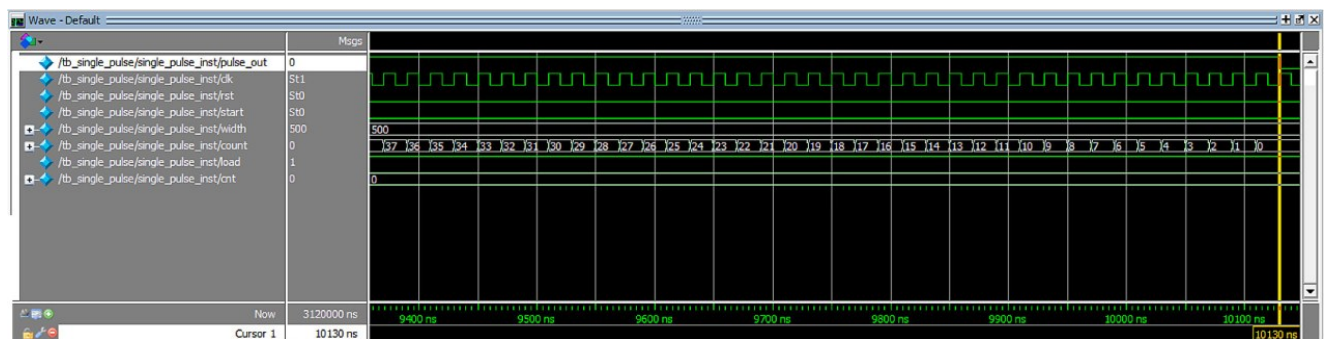


图14 单脉冲下降沿仿真  
Fig.14 Simulation of monopulse falling edge

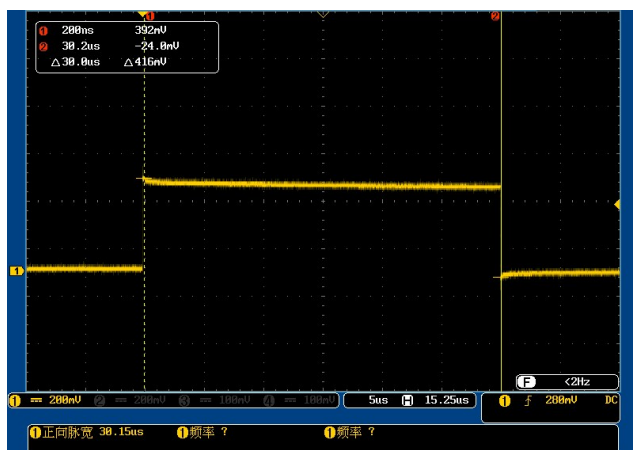


图15 单脉冲实现  
Fig.15 Implementation of monopulse

## 5 射频功率放大器

在实际磁共振实验中,要想通过发射线圈激发实验锁场样品产生磁共振信号,射频脉冲信号一般都是几十或者几百瓦。这里产生的正弦波和单脉冲信号只

有几伏量级别,这样产生的射频脉冲信号会严重影响磁共振信号的接收。这里我们选取一个射频功率放大器对射频脉冲信号进行放大。该射频功率放大器具有噪声低、工作频带宽、对单脉冲的上升和下降时间精度可达 $\mu\text{s}$ 级别等优点,对本实验来说完全满足需求。

该射频放大器的结构如图16所示,包括4个端口,分别为门控信号输入端口GATE、射频信号输入端口RF IN、电源接口和射频信号输出端口RF OUT。

这里门控信号输入信号即为上述中FPGA的pin\_AG26引脚发出的单脉冲信号。内部结构主要采用的是三菱公司生产的RD16HHF1射频功率MOS管(图17)<sup>[18]</sup>,该MOS管属于N沟道耗尽型的MOS管。当栅极为低电平时,该N沟道耗尽型的MOS管截止,将关断射频功率MOS管,无射频脉冲信号输出。当门控信号输入高电平,则向该N沟道耗尽型的MOS管的栅极提供偏置电压,该射频功率MOS管开始对射频脉冲信号进行功率放大,射频功率放大器输出端(RF OUT)将输出功率放大后的射频脉冲信

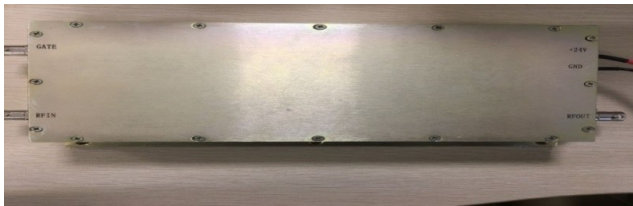


图 16 射频功率放大器  
Fig.16 Radio-frequency power amplifier

号。射频功率放大器(RF IN)输入的是FPGA与DDS产生正弦波信号,门控信号端(GATE)输入单脉冲信号后,输出端(RF OUT)将会输出功率放大后的硬脉冲信号<sup>[19]</sup>。

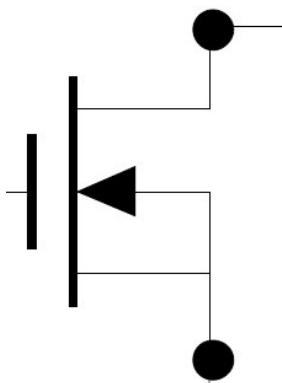


图 17 RD16HHF1射频功率 MOS 管  
Fig.17 RD16HHF1 radio-frequency power MOS tube

6 实验结果

在软件编程上,由于正弦波程序和单脉冲程序是两个独立的程序,而FPGA是基于硬件的并行结构,可以使多个模块同时独立进行运算。我们在quartus II软件上建立一个关于正弦波程序和单脉冲程序的顶层文件,同时运行正弦波程序和单脉冲程序。

我们将DDS板、FPGA板、射频功率放大器开关电源(24 V, 9 A)、DDS开关电源、电脑、示波器通过各种电线连接起来如图 18所示。由上述几节可知,单脉冲是由FPGA的复位键KEY[0]和计数按键KEY[1]决定的,我们按下这两个键,通过示波器来观察硬脉冲的产生(图 19)。由图 19可知,该硬脉冲的输出频率约为 21.3 MHz,与DDS产生的正弦波频率是一样的,通过放大也可见里面为 21.3 MHz的正弦波<sup>[20]</sup>。然后该硬脉冲脉宽大小约为 30 μs,与单脉冲输出的脉宽大小也是保持一致的,而且输出电压值约 200 V,结果证明该射频脉冲发生器可以产生自己预定的硬脉冲,而且还可以通过FPGA按键进行控制,时间精度也达到μs级别,输出的

信号经过射频功率放大器后可达到百伏级别,满足实际应用的需求<sup>[21]</sup>。

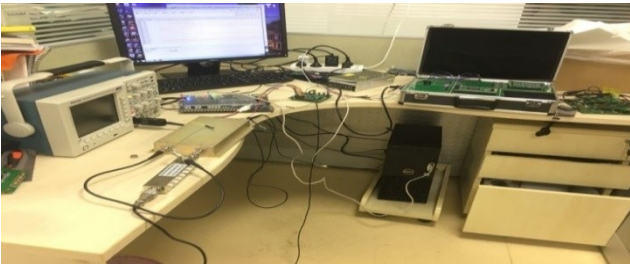


图 18 各个实物连接图  
Fig.18 Connection of each physical object

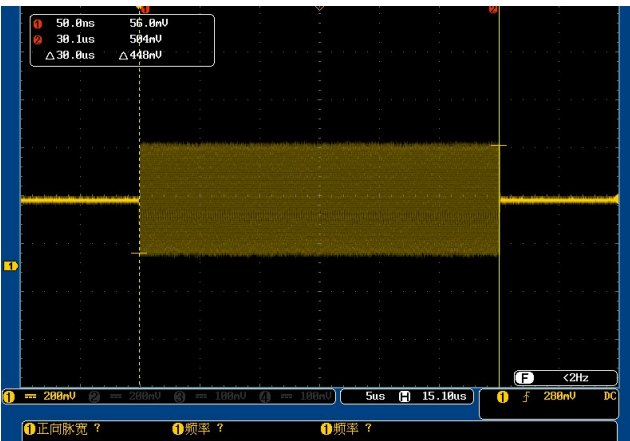


图 19 硬脉冲的实现  
Fig.19 Implementation of hard pulse

本文采用FPGA的DE2-115板和DDS芯片AD9854实现低场磁共振锁场谱仪的射频脉冲发生器的设计,克服了输出信号容易受外界原件的影响。该设计方法基于FPGA的强大的逻辑并行能力、内部丰富的硬件资源、高速的运行时钟、低耗能和软件编程的灵活性。而且AD9854内部集成有A/D芯片和射频功率放大器的使用简化了硬件结构,提高系统的稳定性。AD9854输出的正弦信号精度高、稳定性好、减少了射频脉冲发生器研制的成本,性价比高。针对锁场中不同的锁场样品,硬脉冲也不一样,该方法只需通过软件编程更改程序后,进行仿真与电路测试即可,操作方便。

【参考文献】

[1] 赵喜平. 磁共振成像系统的原理及应用[M]. 北京: 科学出版社, 2000: 1-675.  
ZHAO X P. Principle and application of magnetic resonance imaging system[M]. Beijing: Science Press, 2000: 1-675.

[2] YANG Y Y, FANG Y T, KOH C S, et al. A new design method for completely open architecture permanent for MRI[J]. IEEE Trans



- Magn, 2005, 41(5): 1504-1507.
- [3] SHINAGAWA H, FUJITO T, OHKI S, et al. Field stabilization for high-resolution solid state NMR magnet with external field-lock [J]. Bunseki Kagaku, 2008, 57(1): 55-59.
- [4] ADDUCI D J, GERSTEIN B C. Versatile pulse programmer for nuclear magnetic-resonance[J]. Rev Sci Instrum, 1979, 50(11): 1400-1420.
- [5] TAKEDA K. OPENCORE NMR: open-source core modules for implementing an integrated FPGA based NMR spectrometer [J]. J Magn Reson, 2008, 192(2): 218-229.
- [6] AUSHKIN A. High-speed wide band frequency synthesizer [J]. Elektrosvyas, 1993(4): 38-40.
- [7] 白居易. 直接数字频率合成[M]. 西安: 西安交通大学出版社, 2007: 1-184.
- BAI J X. Direct digital frequency synthesis[M]. Xi'an: Xi'an Jiao Tong University Press, 2007: 1-184.
- [8] PLEVRIIDIS J E, PLIATSIKAS J C, KOUKOURLIS C S, et al. An alternative method of precise frequency measurement by the aid of a DDS[J]. Electr Eng, 1998, 81(5): 343-349.
- [9] RAHKONEN T, EKSZYMA H, MÄNTYNIEMI A, et al. A DDS synthesizer with digital time domain interpolator[J]. Analog Integr Circ S, 2001, 27(1-2): 111-118.
- [10] YAMAGISHI A. A phase-interpolation direct digital synthesizer with an adaptive integrator[J]. IEEE Trans Microw Theory Tech, 2000, 48(6): 905-909.
- [11] JIAN M Z. Spurious reduction techniques for DDS-based synthesizers[J]. IEICE Trans Electron, 2009, 92(2): 252-257.
- [12] AVITABILE G, CANNONE F, VANIA A. Phase shifter based on DDS-driven offset-PLL[J]. Electron Lett, 2006, 42(25): 1438.
- [13] 程耀林. FPGA 的系统设计方法分析解析[J]. 微型电脑应用, 2005, 26(19): 90-93.
- CHEN Y L. Parsing of FPGA system design method [J]. Microcomputer Applications, 2005, 26(19): 90-93.
- [14] 罗杰. Verilog HDL 与 FPGA 数字系统设计[M]. 北京: 机械工业出版社, 2015: 1-318.
- LUO J. Digital system design of Verilog HDL and FPGA[M]. Beijing: China Machine Press, 2015: 1-318.
- [15] 西蒙·蒙克. FPGA 编程从零开始使用 Verilog[M]. 北京: 清华大学出版社, 2018: 1-150.
- MONK S. Programming FPGAs: getting started with Verilog[M]. Beijing: Tsinghua University Press, 2018: 1-150.
- [16] 于新颖. SignalTapII 在 FPGA 设计中的应用[J]. 山西电子技术, 2017(3): 42-44.
- YU X Y. The application of SignalTapII in FPGA design[J]. Shanxi Electronic Technology, 2017(3): 42-44.
- [17] 邱广萍. 基于 Quartus II 和 ModelSim 的 N 进制计数器设计[J]. 辽宁科技学院报, 2018, 20(5): 3-5.
- QIU G P. Design of module-N counter based on Quartus II and ModelSim [J]. Journal of Liaoning Institute of Science and Technology, 2018, 20(5): 3-5.
- [18] ANUSHKANNAN N K, MANGALAM H. Design of a CMOS PFD-CP module for a PLL[J]. Sadhana, 2015, 40(4): 1105-1116.
- [19] 杨志强, 曲延涛, 梁冰. 核磁共振功率放大器的设计与实现[J]. 电子器件, 2007, 30(5): 1182-1185.
- YANG Z Q, QU Y T, LIANG B. Design and realization of the NMR power amplifier[J]. Chinese Journal of Electron Devices, 2007, 30(5): 1182-1185.
- [20] 蒋瑜, 沈建华, 蒋赞. 四路并行 DDS 合成技术在核磁共振中的应用[J]. 波谱学杂志, 2000, 17(6): 483-487.
- JIANG Y, SHEN J H, JIANG Y. Application of the four DDS devices running in parallel to NMR [J]. Chinese Journal of Magnetic Resonance, 2000, 17(6): 483-487.
- [21] 陈楠, 陈杰华, 胡鹏. 基于 FPGA 的核磁共振数字化发射机[J]. 波谱学杂志, 2008, 25(2): 243-249.
- CHEN N, CHEN J H, HU P. A digital transmitter for NMR based on FPGA [J]. Chinese Journal of Magnetic Resonance, 2008, 25(2): 243-249.

(编辑:陈丽霞)