

基于FPGA的高清视频信号存储模块设计

杨晓玲¹, 刘文龙^{2,3}

1. 陕西省医疗器械质量监督检验院, 陕西 西安 710065; 2. 西安光学精密机械研究所, 陕西 西安 710119; 3. 中国科学院大学, 北京 100049

【摘要】 高清视频信号存储模块是电子内窥镜视频存储的核心, 本研究设计基于串行高级技术接口(SATA 2.0)协议的高清电子内窥镜视频存储, 并将循环冗余校验(CRC-32)算法用于高速数据传输协议的物理层和链路层, 使得数据在信道中传输时, 避免受到各种各样的干扰而出现误码。最后, 编写 Verilog 逻辑实现 CRC-32 校验算法, 进行仿真测试, 并在 Kintex-7 开发板平台上进行验证性测试。在速率高达 250 MB/s 时, 基于 FPGA 的高清视频信号存储模块的误码率低于 10^{-12} , 满足电子内窥镜视频存储的高实时性、高带宽、低误码率的需求, 具有良好的市场应用前景。

【关键词】 高清电子内窥镜; FPGA; 串行高级技术接口协议; CRC-32; 链路层

【中图分类号】 TP274

【文献标志码】 A

【文章编号】 1005-202X(2018)06-0695-06

Design of high-definition video signal storage module based on FPGA

YANG Xiaoling¹, LIU Wenlong^{2,3}

1. Shaanxi Province Medical Equipment Quality Supervision and Inspection, Xi'an 710065, China; 2. Xi'an Institute of Optics and Precision Mechanics, Xi'an 710119, China; 3. University of Chinese Academy of Sciences, Beijing 100049, China

Abstract: High-definition (HD) video signal storage module is the core of electronic endoscope video storage. Herein a HD electronic endoscope video storage is designed based on serial advanced technology attachment (SATA 2.0) protocol, and cyclic redundancy check-32 (CRC-32) algorithm for error checking is used in the physical layer and link layer of high-speed data transmission protocol, aiming to avoid various of interferences and errors during the data transmission in the channels. Finally, Verilog logic is programmed to achieve CRC-32 codec for simulation test, and the verification test is performed on Kintex-7 development board platform. With the bit error rate less than 10^{-12} at the speed up to 250 MB/s, the designed HD video signal storage module based on FPGA which has a good market prospect meets the requirement for high real-time, high bandwidth and low bit error rate.

Keywords: high-definition electronic endoscope; FPGA; serial advanced technology attachment protocol; cyclic redundancy check-32; link layer

前言

电子信息技术的迅速发展使得医疗领域信息化程度提升很快, 尤其在医疗成像方面, 电子内窥镜已成为医疗诊断中不可缺少的有效工具之一。基于图像传感器的电子内窥镜系统以其视频数据流的实时性和准确性的优势, 已逐渐被医疗界认同。高分辨率已成为电子内窥镜发展的必然趋势^[1]。

本研究所设计的高清电子内窥镜视频处理系统

在分辨率上可以达到 1 080 P, 即 $1\,920 \times 1\,080$ 逐行扫描, 场频 60 Hz。医疗电子内窥镜摄像处理系统方案架构主要包括视频采集模块、视频预处理模块和视频存储模块^[2]。

高清视频信号存储模块一直是电子内窥镜系统的核心单元, 影响着整体系统的各项指标。FPGA 的高清视频信号存储模块以其容量大、传输速率高、价格便宜、掉电数据不遗失等诸多优点, 满足了高清视频存储的要求。这种存储设计以其高带宽和高传输速率对视频处理系统的分辨率、实时性以及便携性产生了巨大的影响。

1 串行高级技术接口(Serial Advanced Technology Attachment, SATA)协议

【收稿日期】 2017-12-06

【基金项目】 中科院光谱成像技术重点实验室开放基金(LSIT201715G)

【作者简介】 杨晓玲, 高级工程师, 研究方向: 医疗器械检测, 研发、标准制定, E-mail: 85093927@qq.com

【通信作者】 刘文龙, 博士生, 研究方向: 高速数据存储, E-mail: laoshuge-nlwl@126.com

SATA 协议在体系划分上借鉴了计算机网络 OSI 参考模型^[3-6]的结构,总体上可划分为4层,即:物理层、链路层、传输层和应用层(图1)^[7-10]。

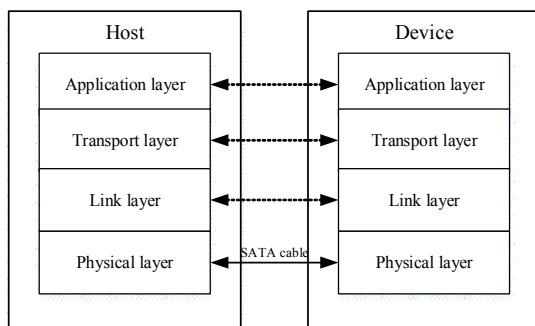


图1 SATA 2.0 协议结构图

Fig.1 SATA 2.0 protocol structure

SATA: Serial advanced technology attachment

协议中,底层物理层通过 SATA 电缆直接通信,其他层则通过下层间接与另一方进行对应分层通信。应用层主要是响应用户的要求,并解析用户产生的请求。传输层根据应用层发来的命令并按照协

议里的规定进行帧信息结构的创建,并且利用这些创建的帧信息结构来控制数据链路层。数据链路层为了保证传输信号完整性,主要通过以下几个动作来保证数据稳定性传输,包括循环冗余校验^[11-12] (Cyclic Redundancy Check-32, CRC-32)编解码、扰码与解扰、传输数据的校验,若在传输过程中出现传输错误,会立马向上层反应,并进行新的数据的发送与接受动作。链路层发送和接收数据,并响应上层发送来的控制信号,接收物理层的指令并将其转化成对应的控制信号。物理层提供 OOB 带外信号的控制模块以及加电顺序协调和速度匹配模块的控制。

SATA 2.0 协议链路层负责对来自传输层的帧数据进行数据编码、数据校验、添加帧边界并提供流量控制,不必关心数据帧的具体内容。链路层在上层的控制下处理要发送的原语或帧数据。每次处理一个双字数据,首先将该数据进行扰码并作“异或”处理,如果此数据位于一帧的中间,即非帧头头和帧尾,就要对其做 CRC-32,并将校验结果当做帧内容进行传输,然后将该双字数据送到 8 b/10 b 编码器,最终将产生的结果送给物理层,整个过程见图2。

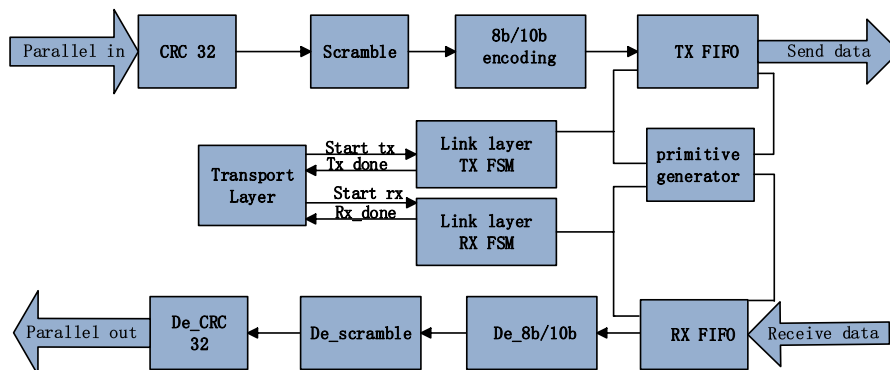


图2 链路层结构

Fig.2 Link layer structure

2 CRC 算法

CRC作为一种非常成熟的差错校验算法被广泛使用。在高速数据传输中,数据在信道中传输很容易受到各种各样的干扰而出现误码,因此SATA 2.0 协议中采用了CRC-32方法^[13]。

CRC经常采用编程的方式来实现多项式的生成^[14]。待校验的数据块被看成一个 n 阶的二进制多项式,即:

$$a_{n-1}x^{n-1} + a_{n-2}x^{n-2} + \dots + a_1 + a_0 \quad (1)$$

例如,一个8位二进制数据10101011就可以表示为:

$$1x^7 + 0x^6 + 1x^5 + 0x^4 + 1x^3 + 0x^2 + 1x + 1 \quad (2)$$

多项式的乘除法与普通的代数式乘除法基本相同。多项式的加减法运算使用模2运算法则^[15],加减时都不进位,和逻辑异或运算法则一致。

把原始数据用 $P(x)$ 来表示,是一个 n 阶的多项式^[16],展开为:

$$P(x) = a_{n-1}x^{n-1} + a_{n-2}x^{n-2} + \dots + a_1 + a_0 \quad (3)$$

式中, a_i 为0或者1; x 为伪变量;用 x^i 指明各项的排列次序。一个10位的二进制数1001110101可表示为:

$$P(x) = 1x^9 + 0x^8 + 0x^7 + 1x^6 + 1x^5 + 1x^4 + 0x^3 + 1x^2 + 0x + 1 \quad (4)$$

$P(x)$ 通过除以 CRC 多项式 $G(x)$, 得到一个余数 $R(x)$ 和商 $Q(x)$, 这个 $R(x)$ 就是需要的 CRC 校验值, 可表示为:

$$P(x) = Q(x) \times G(x) + R(x) \quad (5)$$

CRC 码生成多项式用 $G(x)$ 来表示, 传送码的多项式用 $M(x)$ 来表示。将发送方编码的实现步骤描述为: 将 $B(x)$ 乘以 x^r , 即对应的二进制码序列左移 r 位, 再除以 $G(x)$, 所得余式即为 $R(x)$, 将其附在后 $B(x)$, 即可得到 $M(x)$:

$$M(x) = x^r \cdot B(x) + R(x) = G(x) \cdot Q(x) \quad (6)$$

CRC 算法的基本思路是: 用准备发送的 $m(x)$ 与 $g(x)$ 进行除运算, 最后相除后产生的余数作为最终的校验码。具体实现的步骤为: (1) 准备发送的数据块是一个 t 位用 $m(x)$ 来表示, 生成 r 阶的 $g(x)$ 。在数据块的后面再添加 r 个 0, 数据块的长度就会被增加至 $m+r$ 位, 对应的新的二进制多项式为 $x^r m(x)$ 。(2) 用生成的多项式 $g(x)$ 与 $x^r m(x)$ 做除法运算, 最后求得余数为 $r-1$ 阶的二进制多项式 $y(x)$ 。此二进制 $y(x)$ 就是 $m(x)$ 经过生成多项式 $g(x)$ 的 CRC 校验码多项式。(3) 用 $x^r m(x)$ 以模 2 运算方式减去 $y(x)$, 得到 $x^r m'(x)$ 。 $x^r m'(x)$ 中就包含了 CRC 校验码。

从 CRC 的编码法则可以得出: CRC 编码实际上是将待发送的 m 为二进制数据的多项式 $m(x)$ 转换成能够被 $g(x)$ 整除的 $m+r$ 位的二进制数据多项式 $x^r m'(x)$, 所以解码时可以用接收到的数据多项式去除以 $g(x)$, 按照余数是否为零来判断整个传输过程有没有错误, 同时, $x^r m'(x)$ 可以看做是 $m(x)$ 和 CRC 校验码的相乘, 所以解码时只需将接受到二进制数据剔除尾部, 就可以成功获取发送端的原始数据。

CRC 计算是以帧头和帧尾之间的所有数据 (即不包括操作原语) 为对象, 以双字 (32-bit) 为单位, 如果数据的内容不是双字的整数倍, 需要在数据的后面用 “0” 来补充。协议规定 CRC 的初始值为 0x52325032, 帧头和帧尾之间的所有数据不能超过 2 064 个双字。CRC 的计算使用如下的 32bit 生成多项式:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \quad (7)$$

3 CRC 算法设计

为避免占用大量的逻辑资源并以最快的速度完成校验, 本研究采用并行算法的 CRC-32 的硬件实现校验, 基本算法原理描述如下: 数据输入端口在每一个时钟周期到来后都接收一个 32 位的数据, 连接接收 n 个数据后, n 可以根据数据包的大小自行设定, 之

后便可以进行校验。通过发送出一个 32 位的 CRC 校验码以及输出端口信号通知发送方停止发送数据, 并等待确认信号, 如果确认信号是负脉冲, 则说明传输过程中没有误码, 则通知发送方继续发送数据; 如果确认信号是正脉冲, 则传输过程有误, 并通知发送方重复发送数据。具体的程序设计内部结构和流程图如图 3 和图 4 所示。

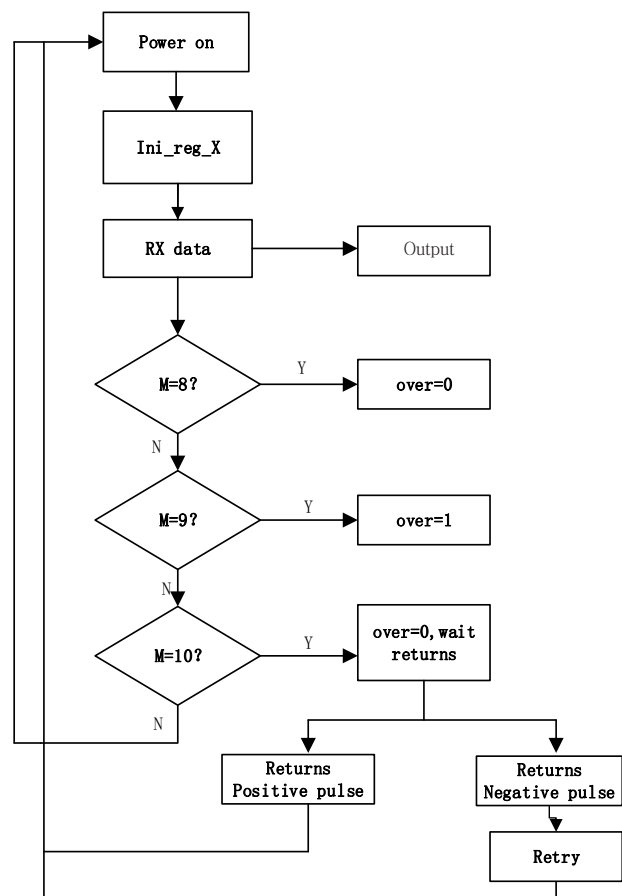


图3 程序设计内部结构

Fig.3 Program's internal structure

在时钟上升沿, 数据输入端 di 开始输入数据, 并从 out 口输出^[17-19] (图 5)。10 个上升沿后, $out1$ 输出这 10 个数据的 CRC, 并通过 $over$ 输出脉冲通知上位机停止发送数据, 当反馈信号 $returns$ 接受到正脉冲, $resent$ 同时发出正脉冲, 以表示有无请求重发。

4 设计的测试与结果分析

本设计选择带文件系统 SATA 接口的 Kintex-7 XC7K325T 开发板进行测试, 具体连接如图 6 所示。

4.1 测试结果分析

测试时, 17:36 开始写入, 次日 8:20 停止写入, 硬盘 1 一直从十六进制的 00 写到 1E, 扇区寄存器为十六进制的 c9d7800, 共写入数据量 $h'1E \times d446 \text{ GByte} +$

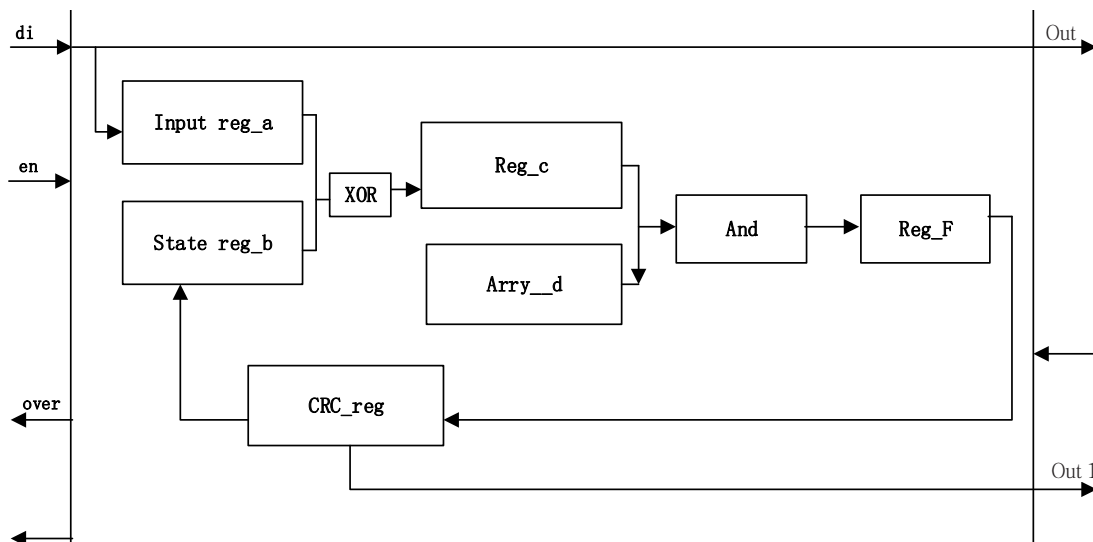


图4 程序设计流程图

Fig.4 Flow chart of programming

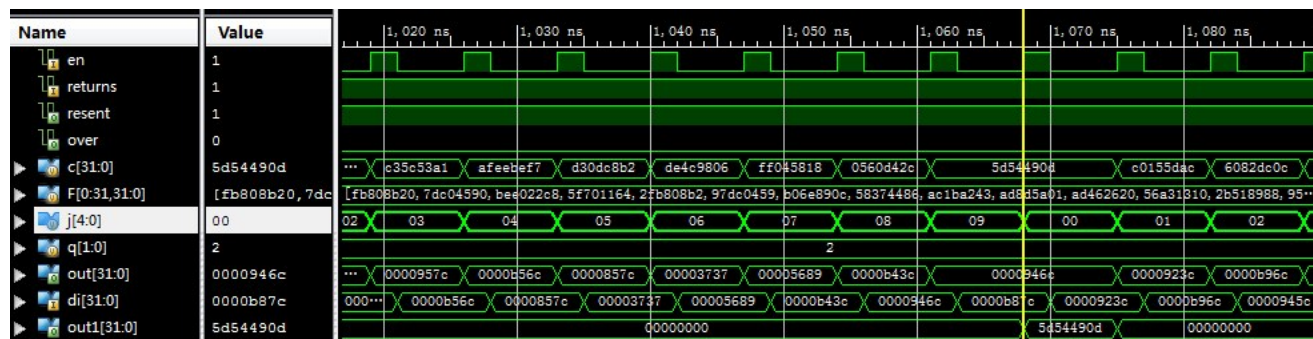


图5 CRC-32模块功能仿真图

Fig.5 CRC-32 module function simulation

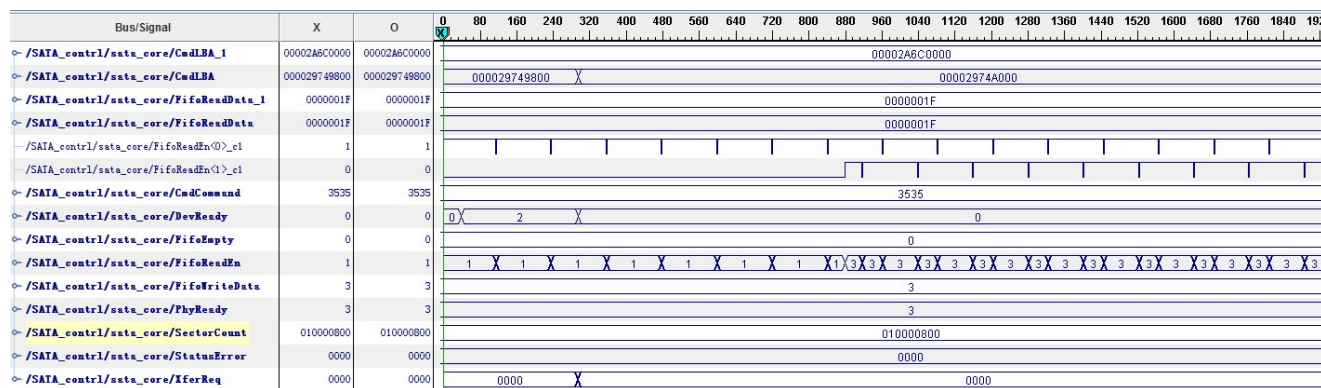


图6 开发板平台测试图

Fig.6 Development board test platform

hc9d7800×d512Byte, 硬盘容量为 446 GByte; 硬盘 2 一直写到 1E, 扇区寄存器为十六进制的 e3f2800, 共写入数据量 h'1E×d446GByte+hc3f2800×d512Byte。

在 ChipScope 中^[20]查看到的扇区计数器如图 7 所示, 几乎每一秒增加 20 个, 换算成十进制是 32, 这个

扇区计数器的低 14 位没有考虑, 都为 0, 这样粗略计算得到的速度是 250 MB/s。即: $32 \times 2^{14} \times 0.5 \text{ K} = 16\text{K} \times 2^{14} = 2^{18} \text{ K} = 256 \text{ MB}$ 。

4.2 误码率的测试

借助于误码分析仪可以测试误码率, 但这种设

备比较昂贵,所以本研究采用以下办法对协议的数据传输过程做过误码率的测试。

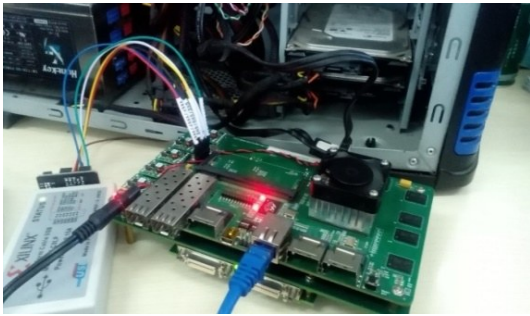


图7 在线仿真

Fig.7 Online simulation

(1)在FPGA中生成测试数据,这些数据有3种类型,即0x5A5A和0xA5A5交替、递增数、伪随机数(图8)。(2)将产生的数据作为数据源通过SATA控制器写入SSD中,然后再进行回读,并在赛灵思的在线逻辑分析仪ChipScope Pro进行查看^[21],将读出的数据与写入的数据进行比对,如有错误,逻辑自动记录错误的个数。(3)经过4 h的测试和比对,查看最终的错误个数。(4)采用上述方法测试后,测到的错误数为0,可以说明设备工作的误码率极低,可以认为低于 10^{-12} 。

	0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
00000000h:	00	00	27	10	89	8A	8B	8C	8D	8E	8F	90	91	92	93	94
00000010h:	95	96	97	98	99	9A	9B	9C	9D	9E	9F	A0	A1	A2	A3	A4
00000020h:	A5	A6	A7	A8	A9	AA	AB	AC	AD	AE	AF	B0	B1	B2	B3	B4
00000030h:	B5	B6	B7	B8	B9	BA	BB	BC	BD	BE	BF	C0	C1	C2	C3	C4
00000040h:	C5	C6	C7	C8	C9	CA	CB	CC	CD	CE	CF	D0	D1	D2	D3	D4
00000050h:	D5	D6	D7	D8	D9	DA	DB	DC	DD	DE	DF	E0	E1	E2	E3	E4
00000060h:	E5	E6	E7	E8	E9	EA	EB	EC	ED	EE	EF	F0	F1	F2	F3	F4
00000070h:	F5	F6	F7	F8	F9	FA	FB	FC	FD	FE	FF	00	01	02	03	04
00000080h:	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	14
00000090h:	15	16	17	18	19	1A	1B	1C	1D	1E	1F	20	21	22	23	24
000000a0h:	25	26	27	28	29	2A	2B	2C	2D	2E	2F	30	31	32	33	34
000000b0h:	35	36	37	38	39	3A	3B	3C	3D	3E	3F	40	41	42	43	44
000000c0h:	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50	51	52	53	54
000000d0h:	55	56	57	58	59	5A	5B	5C	5D	5E	5F	60	61	62	63	64
000000e0h:	65	66	67	68	69	6A	6B	6C	6D	6E	6F	70	71	72	73	74
000000f0h:	75	76	77	78	79	7A	7B	7C	7D	7E	7F	80	81	82	83	84
00000100h:	85	86	87	88	89	8A	8B	8C	8D	8E	8F	90	91	92	93	94
00000110h:	95	96	97	98	99	9A	9B	9C	9D	9E	9F	A0	A1	A2	A3	A4
00000120h:	A5	A6	A7	A8	A9	AA	AB	AC	AD	AE	AF	B0	B1	B2	B3	B4
00000130h:	B5	B6	B7	B8	B9	BA	BB	BC	BD	BE	BF	C0	C1	C2	C3	C4
00000140h:	C5	C6	C7	C8	C9	CA	CB	CC	CD	CE	CF	D0	D1	D2	D3	D4
00000150h:	D5	D6	D7	D8	D9	DA	DB	DC	DD	DE	DF	E0	E1	E2	E3	E4
00000160h:	E5	E6	E7	E8	E9	EA	EB	EC	ED	EE	EF	F0	F1	F2	F3	F4
00000170h:	F5	F6	F7	F8	F9	FA	FB	FC	FD	FE	FF	00	01	02	03	04
00000180h:	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	14

图8 误码率的测试数据图

Fig.8 Test data of bit error rate

如果需要准确地知道误码率是多少,可以使用更加准确的误码率分析仪来进行测试。

5 结论

本研究设计了一种基于FPGA的高清视频信号

存储模块,阐述了SATA 2.0协议,重点说明了CRC算法及其程序设计方法,并做了仿真验证性测试,最后在Kintex-7 XC7K325T的开发板进行实际测试,在速率高达250 MB/s时,误码率低于 10^{-12} 。由于需要借助昂贵的误码分析仪才能获得准确的误码率,考虑成本,本研究只对数据传输过程做误码率的测试。本研究表明使用FPGA实现的SATA协议的高清电子内窥镜视频信号存储模块在市场上有良好的应用前景。

【参考文献】

- [1] 刘中汉. 基于SOC的医疗电子内窥镜摄像处理系统的设计[D]. 沈阳: 东北大学, 2014.
LIU Z H. Design of medical electronic endoscope imaging processing system based on SOC[D]. Shenyang: Northeastern University, 2014.
- [2] 何灿. 高清电子内窥镜视频处理系统设计[D]. 杭州: 浙江大学, 2014.
HE C. FPGA design of high definition endoscope video processing system[D]. Hangzhou: Zhejiang University, 2014.
- [3] Serial ATA International Organization. Serial ATA high speed serialized AT attachment Rev 1.0a[M]. Santa Cruz: Klaus-Peter Deyring APT Technologies, Inc., 2002.
- [4] Serial ATA International Organization. Serial ATA high speed serialized AT attachment Rev 2.0a[M]. Santa Cruz: Klaus-Peter Deyring APT Technologies, Inc., 2006.
- [5] Serial ATA International Organization. Serial ATA high speed serialized AT attachment Rev 3.0a[M]. Santa Cruz: Klaus-Peter Deyring APT Technologies, Inc., 2007.
- [6] NORMAN B, LEE F. Implementing serial ATA in next generation computer systems[J]. Comput Technol Rev, 2002, 3(5): 40-45.
- [7] 吴萌. 一种高速、大容量图像存储系统设计[D]. 西安: 中国科学院西安光学精密机械研究所, 2009.
WU M. FPGA design of high-speed, great capacity image storage system [D]. Xi'an: Xi'an Institute of Optics and Precision Mechanics of CAS, 2009.
- [8] 唐纯杰. SATA协议分析及其FPGA实现[D]. 长沙: 湖南大学, 2009.
TANG C J. The research of serial ATA protocol and its FPGA implementation[D]. Changsha: Hunan University, 2009.
- [9] 高志. 基于FPGA的SATA II协议研究与实现[D]. 长沙: 湖南大学, 2009: 6-9.
GAO Z. The research of SATA II protocol and its implementation[D]. Changsha: Hunan University, 2009.
- [10] 范俊. 基于FPGA的SATA控制器的研究与实现[D]. 武汉: 华中科技大学, 2006.
FAN J. Research and implementation of SATA controller based on FPGA[D]. Wuhan: Huazhong University of Science and Technology, 2006.
- [11] MANGANIELLO F. Computation of the weight distribution of CRC codes[J]. Appl Algebr Eng, Comm, 2008, 19(4): 349-363.
- [12] HUANG W C, LI Q, HUANG C H. Implementation of parallel CRC based on Verilog[J]. Microcomputer Information, 2009, 30: 112-113.
- [13] CHEN W. The design of serial ATA bus control chip[J]. J Comput (Taipei), 2010, 5(4): 524-532.
- [14] 王忠, 李廷社, 游智胜. CRC算法设计与程序实现[J]. 电子测量技术, 2007, 30(12): 26-36.
WANG Z, LI Y S, YOU Z S. Design and implementation of CRC algorithm[J]. Electronic Measurement Technology, 2007, 30(12): 26-

- 36.
- [15] 陈玉泉. 一种并行CRC算法的实现方法[J]. 现代电子技术, 2005, 28(22): 21-26.
- CHEN Y Q. Implementation of a parallel CRC calculation[J]. Modern Electronics Technique, 2005, 28(22): 21-26.
- [16] 宋鸣. 嵌入式网络微处理器MAC层CRC-32编解码器设计[D]. 上海: 上海交通大学, 2007.
- SONG M. Design of CRC-32 encoder and decoder for embedded network microprocessor MAC layer[D]. Shanghai: Shanghai Jiao Tong University, 2007.
- [17] 徐文波, 田耕. Xilinx FPGA开发实用教程[M]. 北京: 清华大学出版社, 2012: 448-499.
- XU W B, TIAN G. Xilinx FPGA development practical tutorials[M]. Beijing: Tsinghua University Press, 2012: 448-499.
- [18] 王杰, 王诚, 谢龙汉, 等. Xilinx FPGA/CPLD设计手册[M]. 北京: 人民邮电出版社, 2011: 361-374.
- WANG J, WANG C, XIE L H, et al. The design manual of Xilinx FPGA/CPLD[M]. Beijing: Post & Telecom Press, 2011: 361-374.
- [19] 夏宇闻. Verilog数字系统设计教程[M]. 北京: 北京航空航天大学出版社, 2003: 120-121.
- XIA Y W. Verilog digital system design course[M]. Beijing: Beijing University of Aeronautics and Astronautics Press, 2003: 120-121.
- [20] 程耀林. FPGA的系统设计方法解析[J]. 微型电脑应用, 2005, 26(19): 90-93.
- CHEN Y L. Parsing of FPGA system design method [J]. Microcomputer Applications, 2005, 26(19): 90-93.
- [21] 田耕, 徐文波, 胡彬. Xilinx ISE Design Suite 10.x FPGA开发指南—逻辑设计篇[M]. 北京: 人民邮电出版社, 2008: 4-10.
- TIAN G, XU W B, HU B. Xilinx ISE Design Suite 10.x FPGA development guide-logical design article [M]. Beijing: Post & Telecom Press, 2008: 4-10.

(编辑: 谭斯允)